# 面向高性能计算应用的超导数字集成电路技术

任洁王镇

(中国科学院上海微系统与信息技术研究所 200050)

基于半导体集成电路的数字计算技术自20世 纪被发明以来,因其前所未有的高速及通用逻辑运 算能力,迅速应用到人类生活的方方面面,极大推 动了科技发展进程与社会生活方式的飞跃变革。 经过半个多世纪的发展,数字计算性能不断提升, 持续的进展来源于从材料、器件、电路、架构到系统 等多领域科学与技术的综合突破。因此,以超级计 算机(超算)为代表的高性能计算技术能力,不仅是 国际计算技术领域的研发竞争高地,也逐渐演变成 国家综合科技实力的彰显标志。

1993年开始,国际组织Top500开始定期对超 算进行排名",评比关注的指标是以每秒处理的浮 点运算数(Flops/s)为单位的算力性能。从2013年到 2017年,我国超级计算机"天河二号"和"神威·太湖 之光"连续5年占居排名榜首。2023年名列第一的 美国橡树岭国家实验室开发的超算"Frontier"算力 峰值已高达1.68 EFlop/s,相比首届冠军美国洛斯· 阿拉莫斯国家试验室"CM-5/1024"的算力提升了7 个数量级。而伴随算力的大幅提升,除了计算机本 身的功耗以外,为抑制机器的发热带来的制冷功耗 也在与日俱增,从而导致当今超算系统的功耗已飙 升至数十兆瓦的量级。因此,从2013年6月开始, Top500在延续更新算力榜单的同时新增了一个较 量的环节:绿色超算(GREEN500)榜单。GREEN500 评估指标为超算算力与功耗的综合性能,也就是以 每瓦特可完成的浮点运算数(Flops/W)为单位的能 效比。第一届GREEN500榜首为意大利Cineca超级 计算中心的"Eurora",其能效比为3.209 GFlops/W。 而2023年11月的最新榜首为美国弗莱提荣研究所 的"Henri",能效比相对"Eurora"实现了1个数量级 提升,达到65.396 GFlops/W。

"Frontier"标志着人类已经进入E级超算(每秒 百亿亿次,也就是1018次浮点运算)时代,同时实现 了 52.59 GFlops/W 的高能效比综合性能,总功耗为 22.703 MW。但是,下一个算力里程碑Z级超算(每 秒10<sup>21</sup>次浮点运算)的实现将面临前所未有的挑 战。目前如何继续提升超算能效比尚无明确方案, 因此要将E级计算提升至Z级,若按照当前的能效 比进行线性扩展,功耗将超过10GW。中国三峡水 电站的峰值总出力约为20 GW,届时也仅能维持一 台Z级超算的运行。当然,人类在持续探索算力提 升的新方式,比如近年基于图形处理器(GPU)的人 工智能(AI)技术迅速发展就开辟出一条新的芯片技 术发展道路。然而,代表GPU领先水平的英伟达 A100芯片的最高功耗为400W,一个典型的基于 GPU芯片的AI训练数据中心的功耗已高达1287 MWh<sup>[2]</sup>。因此,为了实现超级计算机及人工智能数 据计算中心等高性能计算技术的可持续发展,必须 研发兼具高算力与高能效比的计算芯片。

2016年,持续了近二十年的国际组织"国际半 导体技术路线图(ITRS)"停止了路线图发布,标志 着以半导体技术为牵引的人类信息技术进入了后 摩尔时代。2018年,由IEEE组织发布了ITRS的后 继路线图"国际器件与系统技术路线图(IRDS)"。 IRDS针对半导体技术进入发展新阶段,设置了一 系列国际焦点工作组(IFT)对器件与系统的未来发 展提出预测与解决方案。超导集成电路技术作为 "低温电子学与量子信息处理"IFT的核心内容,成 为国际信息技术领域的前沿阵地和未来微电子产 业国际竞争的焦点之一。本文将围绕更高算力、更 高能效比的高性能数字计算应用对超导数字集成电路技术的发展进程与研究现状做一简单介绍。

# 一、超导数字集成电路

超导现象-零电阻、抗磁性与磁通量子化等,是 超导材料所具有的一种宏观量子现象。自1911年 超导现象被发现以来,经历几十年的材料与理论研 究的探索,当20世纪半导体逻辑计算破土而出的时 候,超导领域科研人员也几乎同步开展了利用超导 材料和器件进行逻辑运算的研究探索。按照器件 与电路的工作原理,超导数字电路可以分为基于超 导线和基于约瑟夫森结的两大种类。

### 1. 基于超导线的器件与电路

基于超导线的开关器件主要有两种:冷子管 (cryotron)和纳米低温管(nTron)。1956年麻省理工 大学林肯实验室(MIT-LL)的D.A.Buck提出了可作 为超导计算机部件的开关器件 cryotron<sup>[3]</sup>。cryotron 利用超导线在外磁场作用下产生超导态和电阻态 (失超)之间的转换特性来实现开关功能。cryotron 器件由两部分组成:门超导线和其周围绕制的控制 超导线。顾名思义,控制超导线的电流可以控制流 经门超导线的电流,达到和真空二极管相似的开关 效果。cryotron原理上可以实现逻辑运算功能,但 它的开关速度因其工作原理限制而远超10纳秒。 在20世纪60年代,这一响应时间已经无法与当时 的半导体技术相抗衡,因此,从原理上可以判断基 于 cryotron的逻辑运算并无算力优势,也就导致了 该技术并没有进一步向数字计算应用发展。

2014年,随着超导纳米线单光子探测器(SNSPD) 及其阵列的快速发展和应用需求,美国 MIT 的 A. N. McCaughan等提出了纳米低温管(nTron)这一新 型器件<sup>[4]</sup>。nTron借鉴了磁场调控的 cryotron器件的 概念,利用微纳结构下超导纳米线的热效应,实现 具有门控功能的逻辑器件。nTron是一个类似场效 应管的三端子器件,这是它与 cryotron 一大不同之 处,也是其在众多超导开关器件中较为独特的一 点。nTron 为单层平面器件,利用局部超导相变实





图1 (a)3-cryotron-flip-flop多谐振荡器实物照片;(b)三端子nTron的SEM照片

现开关逻辑。由于nTron制备工艺和工作环境与 SNSPD相同,非常适用于其阵列读出所需的放大和 简单的信号处理,但和cryotron相似,nTron也是一 种热效应器件,其响应速度也在纳秒量级,难以作 为逻辑运算器件在数字计算领域产生应用。

### 2. 基于超导约瑟夫森结的器件与电路

1962年,英国剑桥大学的约瑟夫森(B. D. Josephson)发表论文预言在两个邻近超导体之间可能 存在的库珀对隧穿而表现出两种宏观量子效应,分 别被称为直流和交流约瑟夫森效应<sup>[5]</sup>,从此揭开了 超导电子学应用的序幕。1963年,美国贝尔实验室 P. W. Anderson和 J. M. Rowell成功制备了一个超导 体-绝缘体-超导体(SIS)三明治结构的超导器件:约 瑟夫森结(JJ),从实验上验证了约瑟夫森效应<sup>16</sup>。图 2为温度1.5K时他们所制备的约瑟夫森结在外加 磁场下的电流-电压特性曲线(IV曲线),零电压时 明确观察到超导电流的存在,并呈现出对磁场敏感 的特性,证明了该电流源于超导电子对隧穿产生的 直流约瑟夫森效应。同年,S. Shapiro实验验证了交 流约瑟夫森效应<sup>[7]</sup>。至此,约瑟夫森结作为一种新 型超导器件成为物理与电子学界的研究热点之一, 研究人员陆续开发了超导体-正常导体-超导体 (SNS)结,桥(bridge)结,点接触结等不同材料、不同 结构的各种约瑟夫森结,并相应开展了在微波混 频、极低磁场探测、数字开关电路及量子比特等领 域的应用探索,逐步推动了超导电子学领域的形成 与发展。在众多的超导材料和约瑟夫森结中,基于 金属铌(Nb)材料的Nb-Al/AlOx-Nb SIS约瑟夫森结 因其物理机理与电学模型清晰,且具有可加工、可重 复、可集成与可扩展等大规模应用必备的综合性能 优势,目前是超导电子器件中使用最为广泛的约瑟 夫森结,也是当今超导集成电路的主流材料和器件。

约瑟夫森结是一种二端子电子器件。从图2的 IV曲线可见,其两端电压可通过外加电流实现在零 电压态和非零电压态之间切换,也就是说,可以作 为一种开关器件。1964年,美国IBM公司率先开展

了 SIS 结在数字电路领域的应用探索, 分别在1966 年和1967年成功演示了亚ns时间的器件开关速度 和基于薄膜和SIS结实现的超导触发器逻辑门电 路。1972年,IBM启动了为期11年的约瑟夫森计 算技术项目,这个项目中所使用的电路逻辑被称为 锁存逻辑(latching logic)。锁存逻辑的基本原理就 是在结两端子间施加偏置电流的基础上调控另一 外加控制电流,让JJ在零电压和非零电压态之间切 换完成逻辑运算。该项目最初使用的是基于低熔 点材料铅合金的SIS结,在项目研发过程中,伴随工 艺设备与技术的提升,逐渐开发出更加耐受冷热循 环温度冲击的高熔点金属铌(Nb)基SIS结。自1982 年到1989年,日本通产省也紧随其后,资助了基于 超导锁存逻辑的计算机项目。该项目重点开发了 基于 Nb-Al/AlO<sub>x</sub>-Nb 三层膜的 SIS 结工艺,为确立 Nb基超导集成电路工艺基础做出了重要贡献。 1991年,日本电子技术实验室的S. Takada等人报道 了一个完整的4位超导微处理器模块"ETL-JC1"的 结果<sup>18</sup>。该处理器模块基于RISC体系结构设计,共 计使用了约20000个约瑟夫森结,模拟仿真结果显 示该处理器的指令运算能力可达 1GIPS(giga-instruction per second)。然而,随着研究发展到20世 纪80年代,IBM的研究人员开始认识到锁存逻辑具



有难以逾越GHz的频率瓶颈。在当时半导体集成 电路技术遵循摩尔定律快速发展的形势下,超导锁 存逻辑电路失去了与半导体逻辑电路的竞争优势, 迫使IBM在研发中途停止了超导计算机项目。

1985年,莫斯科国立大学的三位科研人员发明 了一种基于约瑟夫森结的新原理超导逻辑电路,后 被称为快速单磁通量子(Rapid Single Flux Quantum, RSFQ)电路<sup>19</sup>。与超导锁存逻辑电路不同,RSFQ电 路利用一个脉冲形式的磁通量子信号进行数字信 息处理。由于该脉冲典型的半高宽时间仅为几个 ps,因此,理论上RSFQ逻辑电路的最高频率可高达 THz.极大突破了锁存逻辑的频率瓶颈。第一块制 备测试的RSFQ电路(图3所示)就以高于30 GHz的 工作频率展示其极高的频率优势100,彰显出在超导 集成电路与高性能计算的应用潜力。典型的RSFQ 单元门的功耗为微瓦,主要是提供电路直流偏置的 电阻所消耗的静态功耗。为了进一步降低超导集 成电路的功耗,研究人员陆续开发出LV-RSFQ、 ERSFQ、RQL、AQFP等具有更低静态功耗的逻辑电 路<sup>111</sup>。其中RQL和AQFP电路采用通过电感的交 流偏置方式极大地降低了静态功耗,但同时也限制 了工作频率的提升。如2020年日本横滨国立大学 团队发表了基于AQFP的超导MANA微处理器成 果,其能效比高达900 TIPS/W,然而其实测峰值算 力仅为5×10<sup>-7</sup>TIPS@100 kHz,在仿真最高频率下的 预期峰值算力也只有5×10<sup>-3</sup>TIPS@5 GHz。目前综 合性能最优的Intel Core i9-14900KS微处理器具有 0.149 TIPS@6.2 GHz 的性能和 5.88×10<sup>-4</sup> TIPS/W 的能效比,相比之下,MANA体现出了功耗性能的 优势和算力性能的不足。截止日前,在算力和能效 比两方面均能体现综合优势的依旧是 RSFQ、LV-RSFQ和ERSFQ这三种 SFQ逻辑电路。

# 二、超导SFQ计算芯片

#### 1. 超导CPU

高性能计算的核心计算芯片是CPU,其核心部 件为微处理器。自从SFQ电路被发明以来,国际上 一直将其在高速信号处理与高性能计算的应用作 为研究的重点方向。在1996~2000年,美国纽约州



图3 首个被成功测试的RSFQ逻辑门(Universal NOR gate),经测试验证其工作时钟周期低于30 ps(时钟频率高于30 GHz)

第36卷(2024年) | 第6期

立大学石溪分校的K.K.Likharev等开展了混合技术 多线程(Hybrid Technology Multi-Threaded, HTMT) 项目,该项目所设计的处理器芯片需要百万个约瑟 夫森结,而当时的超导集成工艺仅能实现几千个约 瑟夫森结的规模,最终受制于制造技术能力的限 制,HTMT项目以没有制造出预期芯片而告终。从 2004年到2007年,日本名古屋大学、横滨国立大 学、东北大学、超导工学研究所、国立情报通信研究 机构(神户)联合开展了CORE1系列微处理器的研 究。CORE的概念全称为Complexity-Reduced,其 主要设计理念是利用SFQ电路的高吞吐量特性来 降低超导微处理器的系统复杂性。CORE1系列中 的CORE1a5是第一个成功通过高频测试的RSFQ 微处理器,测试频率为15.2 GHz。

2016年,日本名古屋大学的A. Fujimaki等人成 功研制了更高速度的COREe4(如图4)<sup>1121</sup>8位微处理 器并且实现高频测试,其使用微米工艺制造完成, 工作频率高达50 GHz,功耗仅2.03 mW,计算性能 为333 MIPS。同年,CMOS高性能CPU的代表Intel Core i9-6950X采用更为昂贵的14纳米制程工艺 制造而成,基础时钟频率为3 GHz,凭借Turbo Boost 2.0技术也仅可以睿频到4 GHz,热设计功耗 高达140W。COREe4证明了RSFQ微处理器在频率和功耗方面的性能优势,它也是目前所报道的综合性能最高的RSFQ微处理器之一。

随着高性能计算领域国际竞争的激烈化,为了 应对中国在超级计算机技术领域的崛起,2013年 初,美国国防部情报高级研究计划署(IARPA)启动 了"C3" (Cryogenic Computing Complexity)研究计 划,旨在开发超导存储器和逻辑电路关键技术,研 制64位超导CPU芯片和主频10GHz64位定点超 导计算机原型机,并验证超导计算机在超级计算领 域中提升能效比的应用潜力。该项目的超导 CPU 采用ERSFQ和RQL两套低功耗逻辑电路,评估预 测在大规模计算系统中,即使包含了制冷功耗,同 等算力下基于超导的超级计算机相比于半导体超 级计算机具备两个数量级的能效比优势四。该项 目利用MIT林肯实验室(MIT-LL)8英寸超导-半导 体混合工艺平台,开发了最小结尺寸为0.7微米的 八层超导大规模集成工艺,成功实现了一块面积为 10×10平方毫米、809120个约瑟夫森结规模的移位 寄存器的制备与测试<sup>114</sup>(如图5),验证了其大规模集 成的工艺能力。从目前已公布数据来看,C3项目完 成了一款16位超导CPU的设计、制备与部分功能测



图4 COREe4v1芯片光镜图





试通过,最终并没有完成既定目标的64位超导CPU 芯片与64位原型机的演示。但是,C3项目的研发 过程中先后促进启动了 superTools和 superCable两 个关联项目。面向超导集成电路电子设计自动化 工具(EDA)开发的 superTools项目聚集了美国的 IBM、诺思罗普·格鲁曼、新思科技、Hypres、南加州 大学,日本的横滨国立大学,南非的斯泰伦博斯大 学以及欧洲的众多研究团队,体现了极高的国际化 特点。经过该项目的联合攻关,大幅提升了超导数 字电路单元库的系统性与超导EDA工具的完整性, 并将在超导数字芯片设计技术领域产生深远影响。

#### 2. 超导NPU

进入21世纪,伴随高性能计算的算力提升与应 用场景多样化的发展趋势,神经网络计算已成为高 性能计算的新热点之一。近年,利用超导SFQ电路 开展神经网络计算芯片的研究也在逐渐增多。与 基于半导体技术的神经网络一样,超导神经网络模 型同样可分为人工神经网络(ANN)和脉冲神经网 络(SNN)两种类型。

目前,基于超导技术的ANN硬件已经实现了 部分单元电路、小型网络的验证和较大规模网络的 设计仿真,采用的逻辑电路有 RSFQ、ERSFQ 和

第36卷(2024年) | 第6期

AQFP三种电路。其中,基于RSFQ和ERSFQ的SuperNPU(2020)<sup>[15]</sup>和JBNN(2022)<sup>[16]</sup>均实现了50GHz 左右的高频工作,网络规模为64×256的SuperNPU 的算力仿真值高达2124.6 TOPS,能效比达到2.83 TOPS/W,对比同精度下的英伟达A100具有的624 TOPS的峰值算力和1.56 TOPS/W的能效比,Super-NPU体现了极高的算力优势。基于AQFP逻辑电 路的SC-AQFP P (2022)<sup>[17]</sup>、AQFP-BNN(2023)<sup>[18]</sup>和 SupeRBNN(2023)<sup>[19]</sup>等电路尽管工作频率为5GHz, 但展示了出色的能效比性能。比如SupeRBNN在 ResNet-18数据集下的仿真算力仅为0.003 TOPS, 但能效比高达480 TOPS/W。

利用超导SFQ电路构建SNN,除了频率、功耗 和天生的脉冲逻辑以外还具备如下所列的独特优 势:约瑟夫森结的临界电流值是器件进入电压状态 的阈值,与神经元发出动作电位的阈值十分相似: 低损耗的超导传输线可以长距离传输脉冲而不失 真,从而可有效地充当轴突和树突;相互耦合的超 导回路可以加权和存储循环电流,因此有助于执行 突触的加权求和操作。早在20世纪90年代,日本 的一些研究团队已关注到这些优势,提出并测试了 一个基于约瑟夫森结的简单感知器神经网络<sup>[20]</sup>。 随着近年超导集成电路技术的发展,国际上多个研 究团队在超导神经元、突触及网络架构等方面发表 了一些颇具意义的研究成果。2021年,美国科尔盖 特大学和美国Northrop Grumman公司联合提出了 超导数模混合神经形态架构[21]。2023年,美国南加 州大学团队报道了基于脉冲时间依赖可塑性 (Spike-Timing Dependent Plasticity, STDP)的可训练 网络[22]。2023年,中国科学院计算技术研究所和上 海微系统与信息技术研究所合作发表了"苏轼"(Superconducting neUromorphic proceSsing cHIp, SUSHI) 神经网络芯片[23]。这三项工作中,只有"苏轼"完成 了整体网络结构的设计和验证,在中国科学院上海 微系统所与信息技术研究所的4英寸晶圆超导工艺 SIMIT-Nb03上实现了包含2个神经元6701个约瑟 夫森结规模的芯片制造与测试验证(如图6)。"苏轼"



图 6 苏轼(SUSHI)所在晶圆(SIMIT Nb03 工艺)与芯片光镜照片

的仿真结果表明,包含32个神经元,99982约瑟夫森结规模的"苏轼"芯片的算力和能效比相比半导体 SNN最优的Tianjic可分别提升2.2倍和50倍,体现出了超导SFQ神经形态计算的显著优势。

## 三、展望

超导集成电路与半导体集成电路技术几乎同时起步于20世纪中叶,半导体集成电路在日益增长的商业市场需求与清晰的技术路线牵引下,集全球资源蓬勃发展,迅速将人类社会引入了一个全新的高度信息化时代。而超导集成电路面对飞速发展的半导体集成电路技术,经过几十年坚持不懈深耕基础前沿与应用探索,逐步形成了一套相对完整的技术体系和应用发展方向。目前的研究结果表明,无论是经典计算机中的CPU,还是神经网络计算中的NPU,超导集成电路技术均展现出极高的算力和能效比性能优势的潜力,有望为突破高性能计算面临的功耗与速度的瓶颈提供解决方案。

当今高性能计算遭遇的发展瓶颈以及人工智 能技术与量子计算技术的崛起,无疑给超导集成电 路技术创造了极大的发展机遇与应用场景。但是, 从科研走向实际应用,超导集成电路还面临着集成 度的提升、EDA设计工具的完善、器件原理与架构 的创新,以及封装与系统集成等一系列技术挑战。 同时,在IRDS路线图的引导下,低温半导体技术正 在崭露头角,逐渐形成一个新的技术增长点。因此,超导集成电路技术与低温半导体技术相结合, 互补创新,对集成电路领域的持续发展,以及在错 综复杂的国际环境下开辟一条新赛道具有重要的 战略意义。

我国的超导集成电路技术虽然起步晚于西方 国家近五十年,但在各方面的支持与科研人员的共 同努力下,已经基本形成了设计、工艺、封装测试与 系统集成等全链条研发体系,并在一些技术领域达 到了国际先进水平。我们相信,牢牢掌握超导集成 电路技术的战略定位,再经过几代人的不懈努力与 技术沉淀、厚积薄发,她终将会破茧而出,在未来高 度智能化时代里发挥出不可替代的重要作用。

**致谢:**感谢王棋、张雪、王慕恩、程余磊、杨树 澄、杨帆、陈明凡的讨论和协助数据确认。

#### 参考文献:

- [1] 全球超级计算机 TOP500 排名[EB/OL]. (1993-06-01)[2024-05-05]. https://www.top500.org/.
- [2] David Patterson, Joseph Gonzalez, Quoc Le, Chen Liang, Lluis-Miquel Munguia, Daniel Rothchild, David So, Maud Texier, and Jeff Dean, Carbon Emissions and Large Neural Network Training [EB/OL], arXiv:2104.10350,2021.
- [3] Dudley A. Buck, The Cryotron-A Superconductive Component[J], Proceeding of the Ire, 1956, 44(4):482-493.

- [4] Adam N. McCaughan and Karl K. Berggren, A Superconductingnanowire Three-terminal Electronic Device[J], Nano Letter, 2014, 14:5748-5753.
- [5] Brian D. Josephson, Possible New Effects in Superconductive Tunneling[J], Physics Letters, 1962, 1(7):251-253.
- [6] Philip. W. Anderson and John M. Rowell, Probable Observation of the Josephson Superconducting Tunneling Effect[J], Physical Review Letters, 1963, 10(6):230-232.
- [7] Siney Shapiro, Josephson Currents in Superconducting Tunneling: The Effect of Microwaves and Other Observations[J], Physical Review Letters, 1963, 11(2)80-82.
- [8] Susumu Takada, Hiroshi Nakagawa, Itaru Kurosawa, Masahiro Aoyagi, Shin Kosaka, Yoshikuni Okada, and Youich Hamazaki, A Multichip Superconducting Microcomputer ETL- JC1[J], IEEE Transactions on Magnetics, 1991, 27(2):2610-2617.
- [9] Konstantin K. Likharev, Oleg A. Mukhanov, and Vasili K. Semenov, SQUID '85-Superconducting Quantum Interference Devices and their Applications[M], Berlin, 1985.
- [10] Valery P. Koshelets, Konstantin K. Likharev, V. V. Migulin, Oleg A. Mukhanov, Gennady. A. Ovsyannikov, Vasili K. Semenov, I. L. Serpuchenko, and A. N. Vystavkin, Experimental Realization of a Resistive Single Flux Quantum Logic Circuit[J], IEEE Transactions on Magnetics, 1987, 23(2):755-758.
- [11] Jie Ren, Guangming Tang, Feng Wang, Siqi Li, Peiyao Qu, Xiaoping Gao, Liliang Ying, Shucheng Yang, Binhan Liu, Xue Zhang, Xi Gao, Wei Peng, and Zhen Wang, Superconducting Single Flux Quantum (SFQ) Technology for Power-efficiency Computing[J], CCF Trans. HPC, 2022, 4:182-210.
- [12] Yuki Ando, Ryo Sato, Masamitsu Tanaka, Kazuyoshi Takagi, Naofumi Takagi, and Akira Fujimaki, Design and Demonstration of an 8- bit Bit- Serial RSFQ Microprocessor: CORE e4[J], IEEE Transactions on Applied Superconductivity, 2016, 26(5):1-5.
- [13] D. Scott Holmes, Andrew L. Ripple, and Marc A. Manheimer, Energy-Efficient Superconducting Computing—Power Budgets and Requirements[J], IEEE Transactions on Applied Superconductivity, 2013, 23(3):1701610-1701610.
- [14] Vasili K. Semenov, Yuri A. Polyakov, and Sergey K. Tolpygo, AC-Biased Shift Registers as Fabrication Process Benchmark Circuits and Flux Trapping Diagnostic Tool, IEEE Transactions on Applied Superconductivity, 2017, 27(4):1-9.
- [15] Koki Ishida, Ilkwon Byun, Ikki Nagaoka, Kosuke Fukumitsu, Ma-

samitsu Tanaka, Satoshi Kawakami, Teruo Tanimoto, Takatsugu Ono, Jangwoo Kim, and Koji Inoue, SuperNPU: An Extremely Fast Neural Processing Unit using Superconducting Logic Devices[J], 53rd Annual IEEE/ACM International Symposium on Microarchitecture (MICRO), 2020, 58-72.

- [16] Rongliang Fu, Junying Huang, Haibin Wu, Xiaochun Ye, Dongrui Fan, and Tsung-Yi Ho, JBNN: A Hardware Design for Binarized Neural Networks using Single-Flux-Quantum Circuits[J], IEEE Transactions on Computers, 2022, 71(12): 3203-3214.
- [17] Olivia Chen, Yanzhi Wang, Renyuan Zhang, and Nobuyuki Yoshikawa, Design and Implementation of Stochastic Neural Networks using Superconductor Quantum- Flux- Parametron Devices[J], 35th International System-on-Chip Conference, 2022, 1-6.
- [18] Tomoharu Yamauchi, Hao San, Nobuyuki Yoshikawa, and Olivia Chen, Design and Implementation of Energy-Efficient Binary Neural Networks Using Adiabatic Quantum-Flux-Parametron Logic[J], IEEE Transactions on Applied Superconductivity, 2023, 33(5): 1-5.
- [19] Zhengang Li, Geng Yuan, Tomoharu Yamauchi, Zabihi Masoud, Yanyue Xie, Peiyan Dong, Xulong Tang, Nobuyuki Yoshikawa, Devesh Tiwari, Yanzhi Wang, and Olivia Chen, SupeRBNN: Randomized Binary Neural Network Using Adiabatic Superconductor Josephson Devices[J], 56th IEEE/ACM International Symposium on Microarchitecture (MICRO), 2023, 584-598.
- [20] Yoshinao Mizugaki, Koji Nakajima, Yasuji Sawada, and Tsutomu Yamashita, Implementation of New Superconducting Neural Circuits using Coupled SQUIDs[J], Applied Superconductivity, 1994, 4(1): 1-8.
- [21] Paul Tschirhart, and Segall Ken, BrainFreeze: Expanding the Capabilities of Neuromorphic Systems using Mixed-Signal Superconducting Electronics[J], Frontiers in neuroscience, 2021, 15: 750748.
- [22] Mustafa A. Karamuftuoglu, Beyza Z. Ucpinar, Sasan Razmkhah, Mehdi Kamal, and Massoud Pedram, Unsupervised SFQ-Based Spiking Neural Network[J], Applied Superconductivity, 2024, 34 (3):1-8.
- [23] Zeshi Liu, Shuo Chen, Peiyao Qu, Huanli Liu, Minghui Niu, Liliang Ying, Jie Ren, Guangming Tang, and Haihang You, SUSHI: Ultra-High-Speed and Ultra-Low-Power Neuromorphic Chip using Superconducting Single-Flux-Quantum Circuits[J], 56th Annual IEEE/ACM International Symposium on Microarchitecture, 2023,614-627.