

半导体家族(四)

韩郑生

(中国科学院微电子研究所 100029)

5.4 检测与测试

前面讲述了半导体器件和集成电路的制造,但是制造过程中每个步骤是否满足设计加工、电性能、良率的要求,以及最终功能、性能和环境适应性要求?就要通过不同的检测、测试、试验加以评估和考核。

晶圆测试必须能够分辨出合格芯片和有缺陷的芯片。带有合格芯片的晶圆继续下面的工艺,有过多

不合格芯片的晶圆保存用于修正、或者废除掉。晶圆制造中检测和测试流程如图67所示。

集成电路电学测试:电学测试在芯片工艺的不同阶段进行。这些测试在早期设计阶段开始,在硅片制作的重要步骤继续,以最后封装的IC产品测试结束。表4给出了主要芯片测试的概要,包括晶圆级和已封装的IC电路。

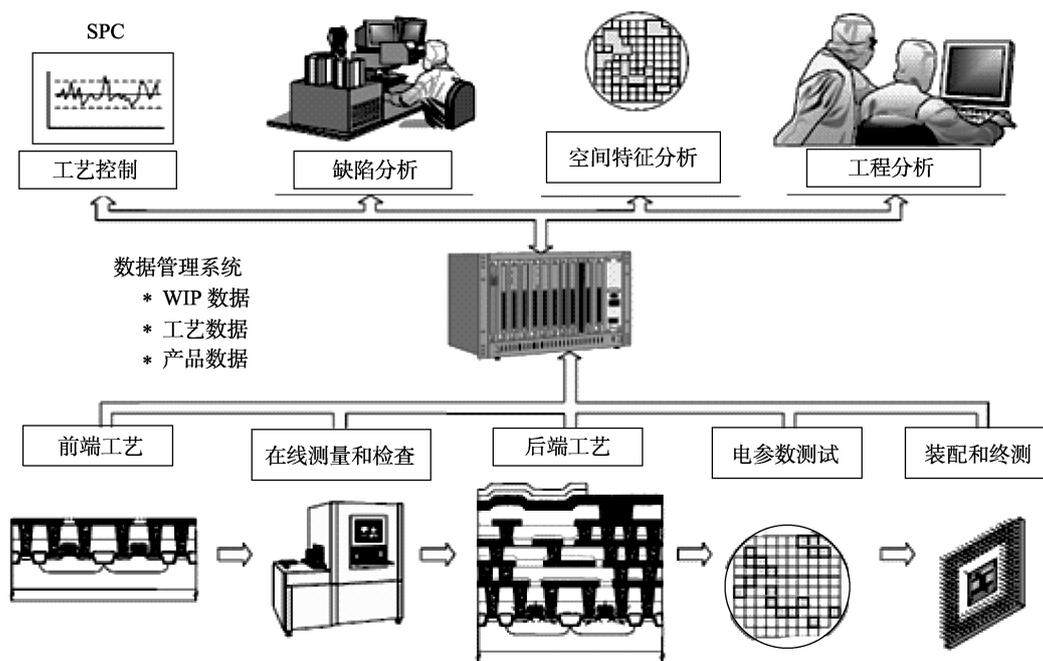


图67 晶圆制造中检测和测试流程

表4 IC产品的不同电学测试(从设计阶段到封装的IC)

测试	IC生产阶段	晶圆/芯片级	测试描述
1. IC设计验证	生产前	晶圆级	描述、调试和检验新的芯片设计,保证符合规格要求
2. 在线参数测试	晶圆制作过程中	晶圆级	为了监控工艺,在制作过程的早期(前端)进行的产品工艺检验测试
3. 晶圆分检测试	晶圆制作后	晶圆级	产品功能测试,验证每个芯片是否符合产品规格
4. 可靠性	封装的IC	封装的芯片级	集成电路加电并在高温下测试,以发现早期失效
5. 终测	封装的IC	封装的芯片级	用产品规格进行的产品功能测试

5.4.1 晶圆测试

晶圆测试通常分两类:① 在线参数测试;② 晶圆分检测试。

在线参数测试,也称为晶圆电学测试(WET)是对晶圆上的测试样品结构进行的电学测试。因为它是把直流电压加在器件的物理结构上进行测试,所以有时候也被看作是一种直流(DC)测试。在线参数测试在完成前端工艺(例如,扩散、光刻、注入)后进行得越早越好。典型的测试是在第一层金属被淀积并刻蚀后进行,这样允许接触式探针和特殊测试结构的压焊点进行电学接触。

在线参数测试的目的是① 鉴别工艺问题:晶圆制作过程中工艺问题的早期鉴定;② 通过/失效标准:依据通过/失效标准决定硅片是否继续后面的制作程序;③ 数据收集:为了改进工艺,收集晶圆数据以评估工艺趋势;④ 特殊测试:在需要的时候评估特殊性能参数;⑤ 硅片级可靠性:需要确定可靠性和工艺条件的关系时,进行随机的晶圆级可靠性测试。

(1) 晶圆测试结构

参数测试并不是在单独的晶圆器件上,而是在安放在晶圆特殊位置的特殊测试结构,也称为工艺监控(PCM)上进行的。使用测试结构是因为测试会对实际的产品芯片造成破坏。对早期的设计验证而言,由于需要很多结构和测试数据,测试结构可以是在整个特殊芯片上的测试样品。对产品晶圆来说,面积是额外的费用;因此测试结构通常放在独立芯片之间的划片区。

PCM测试结构被用于测试的参数范围很大。各种测量的标准测试结构在工业界正逐渐成为一种趋势,这主要是因为结构设计的复杂性和新产品有限的开发时间。表5给出了一些典型测试结构的实例。

(2) 参数测试的类型

在在线参数测试中,一旦测量测试结构,马上会记录结果数据并和预测的电学结果比较。表6描述了一些测试以及知道测试的典型测量值。

在线参数测试通常是在对一个样品进行测试的基础上从统计上评估性能。正常制作过程中,通常是在每个硅片的3到5个位置测量100至200个参数。如果不合格比例过高,就需要增加大量测试晶圆以检

表5 测试结构实例

测试结构	故障测量
分立晶体管	漏电流,击穿电压,阈值电压和有效沟道长度
各种线宽	关键尺寸
框套框	关键尺寸和套刻定位
氧化台阶上的蜿蜒结构	连续性和桥接能力
电阻率结构	薄膜厚度
电容阵列结构	绝缘材料和氧化层完整性
接触孔或通孔链	接触电阻和连线

验缺陷。另外,技术员通过一系列检查确保检测器工作正常。有时会使用一个样片来检查参数测试设备的结构并确保没有设备问题导致测试结果不合格。如果样片没有通过测试,或者复测时不能通过测试,则测试工程师就要注意了。

在线参数测试是对潜在问题的早期预告。参数测试就硅片如何处理和工艺流程中问题在哪里提供了很多信息。最终目标是改善制作工艺的成品率。

(3) 晶圆分检测试

晶圆上所有的芯片要经过晶圆分检测试(Wafer sort),也称作电学分检测试(Electrical sort),晶圆探针测试(Wafer probe)。晶圆分检测试的目的是检验晶圆上哪些器件工作正常。晶圆上每个芯片都要全部按照DC和AC的产品功能规范进行测试。晶圆分检测试的目标是:① 芯片功能:检验所有芯片功能的操作,确保只有合格的芯片被送到下一个IC生产阶段去装配和封装;② 芯片分类:根据工作速度特性对合格的芯片进行分类;③ 生产成品率响应:提供重要的生产成品率信息,以评估和改善整体制作工艺的能力;④ 测试覆盖率:用最小的成本得到较高的内部器件测试覆盖率。

晶圆分检测试是一种功能测试,它通过确保器件能在IC数据手册规定的限制条件下完成所有特定任务来检验器件。理想情况下,功能测试能包括制作过程中出现的所有问题。

5.4.2 成品测试

晶圆分检测试后,将晶圆送入到装配与封装阶段。封装后的集成电路,还要按照产品规范要求的全部功能、性能参数进行测试。最终形成合格的集成电路产品。

表6 在线参数测试实例组合

测试参数	描述	程序中的典型测试#值	典型测量值
Opens/Shorts	检查信号通路完整性的开路/短路测试。因为开路/短路测试是能迅速筛选不合格硅片的快速测试方法,所以通常首先进行	2	Go/No-go
Gshorts	栅结构短路测试	1	Go/No-go
Gateleak	测量栅氧化层泄漏电流。漏电流是由沿与电流方向相反的方向运动的少数载流子形成的反向电流。小器件尺寸使漏电流至关重要	1	1 pA
BVox	栅氧化层击穿电压。这是一种检查栅氧化层质量和强度的快速方法	2	10 V
Idsat	从漏到源的饱和电流(忽略沟道电阻)。栅、漏和衬底电压都是已知的这是最大栅电压下的漏电流测量	16	20 mV
Vt	测量晶体管刚开始从漏到源产生电流时的栅临界电压	22	0.2~1 V
Vtsat	使漏电流达到饱和需要的栅临界电压	16	0.4~1 V
Idoff	截止状态下的源漏泄漏电流。栅电压不足以形成导电沟道	20	5~100 pA
Rds	规定漏电流(I_d)和漏电压(V_{ds})下的 V_{ds}/I_{ds} 值	20	25~1000 Ω
Peakisub	最大衬底电流	6	5 μ A
BVdss	源漏击穿电压(穿通电压)	10	10 V
Pfieldvt	以场氧为绝缘介质的pMOSFET 阈值电压	2	12 V
Nfieldvt	以场氧为绝缘介质的nMOSFET 阈值电压	2	12 V
Res2t	用两端线路确定电阻	21	2~1000 k Ω
Isolation	测试绝缘结构的漏电流特性	11	100 nA
Diode fvmi	通过加电压测试电流得到的二极管特性	2	10 nA
Diodebv	二极管击穿电压	2	3~10 V
Res4t	用四探针线路确定电阻值	11	2~1000 k Ω

5.5 装配与封装

装配和封装过程是从晶圆上取出电性能合格的器件,将它们放入集成电路封装体(通常称为管壳)中,用引线将器件上的压点与封装体上的电极互相连接起来。封装为芯片提供保护和方便将其粘贴到更高级装配板上。

装配和封装称为集成电路制造过程的后道工序。在传统工艺中,将合格的集成电路芯片粘贴在金属引线框架或管壳上。对于引线框架装配,用细线将芯片表面的金属压点和提供芯片电通路的引线框架内端互连起来。最终装配后,集成电路封装是将芯片封在一个封装体或管壳内。现在最常用的封装是用塑料包封芯片。这种塑料包封提供环境保护并形成更高级装配连接的管脚。传统最终装配和封装工艺的概貌如图68所示

集成电路封装的重要功能是:① 保护芯片以免由环境和传递引起损坏;② 为芯片的信号输入和输出提供互连;③ 芯片的物理支撑;④ 散热。封装形式有很多种,常用的封装形式如图69所示,它们分别是双列

直插封装(DIP)、单列直插封装(SIP)、小薄外型封装(TSOP)、四边扁平封装(QFP)、塑料引脚芯片载体(PLCC)、无引脚芯片载体(LCC)。

5.5.1 装配

装配由① 背面减薄;② 分片;③ 装架;④ 引线键合(俗称压焊)4个步骤构成。

(1) 背面减薄

装配的第一步操作是背面减薄。在前道制造过程中,为了使破损降到最小,大直径晶圆比较厚(300 mm的晶圆是775 μ m厚)。然而,晶圆在装配开始前必须被减薄。晶圆通常被减薄到200到500 μ m厚。较薄的晶圆更容易划成小芯片并改善散热,它有益于在芯片装配中,减少热应力。更薄的芯片也减小最终集成电路的外形尺寸和重量。

通用全自动化机器进行背面减薄,如图70所示。在某些情况下,背面减薄后,在背面再淀积金属。典型的金属是金薄膜,用于改善到底座的电导率和为芯片共晶焊。

(2) 分片

分片(俗称划片)使用金刚石刀刃的划片锯把每一

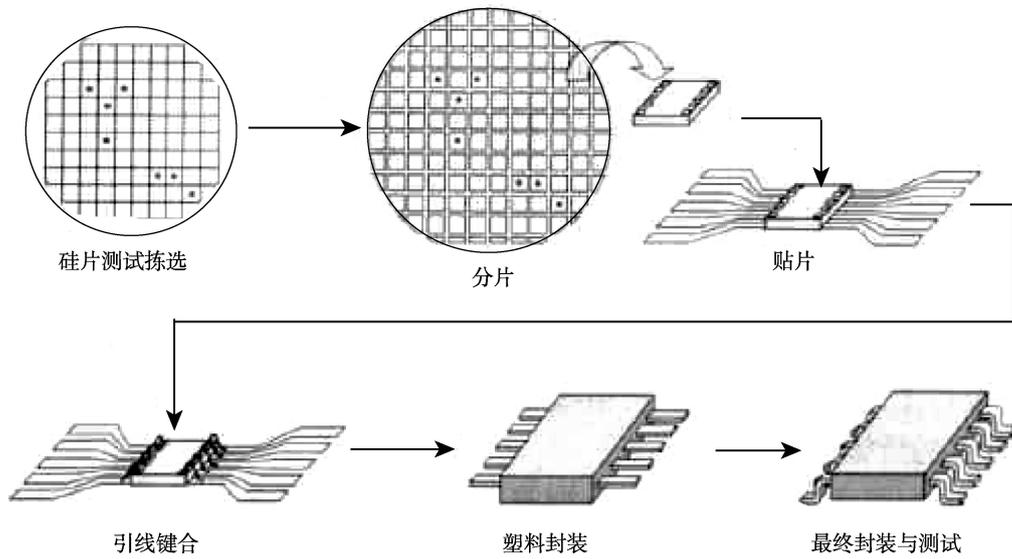


图68 传统装配与封装

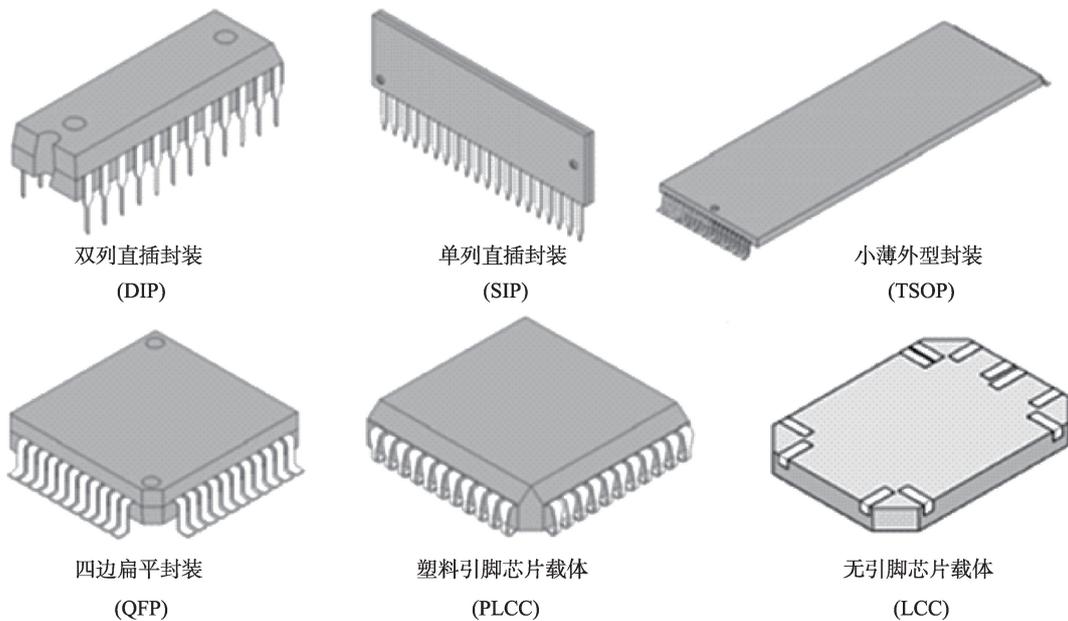


图69 常用的集成电路封装形式

个芯片从晶圆上切下来。在划片前,把晶圆从片架上取出来并按正确的方向放到一个固定在刚性框架的粘膜上。这粘膜保持晶圆完整直到所有芯片被划成小块。晶圆被传到带有去离子水喷淋的圆锯,然后用 $25\ \mu\text{m}$ 厚的金刚石锯刃旋转速率达每分钟20000转,在x和y方向分别地划片,如图71所示。用去离子水冲洗硅片以去除在划片过程中产生的硅浆残渣,而每个单独硅片由背面粘膜支撑,锯通常沿划片线切透硅

片的90%~100%。全自动设备具有对准系统、划片和硅片清洗一体化功能。

(3) 装架

在装架时,将每一个合格的芯片从粘附的背面分别挑选出来,粘贴到底座或引线框架上。引线框架的例子如图72所示,具有从内部芯片键合区到为更高层次装配需要的更大电极间距扇出的电极。引线框架台是小型传送架,被用于有效地传送引线框架。贴片

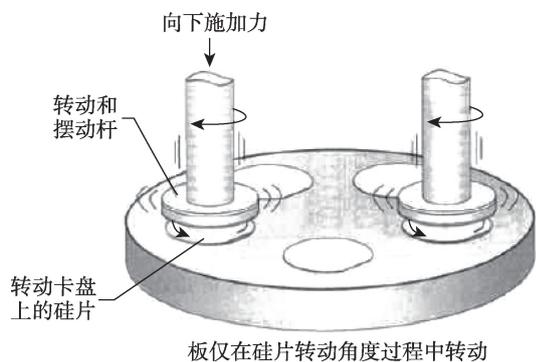


图70 背面减薄示意图

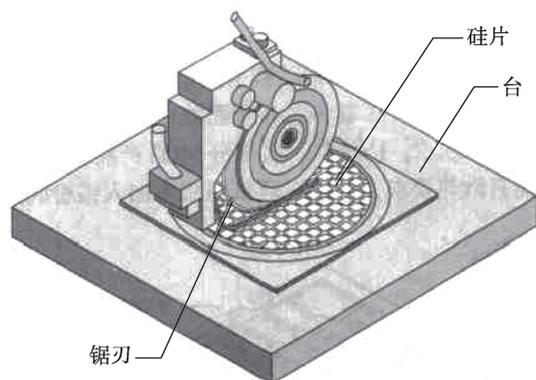


图71 晶圆锯划芯片

机要求灵活性以粘贴芯片到各种应用情况,包括引线框架,陶瓷基座和电路板。根据探测无墨水标点识别或通过使用硅片分类提供的计算机化硅片分布图数

据选出合格的芯片。

可使用下列技术之一将芯片粘贴在引线框架上或基座上:① 环氧树脂贴片;② 共晶焊贴片;③ 玻璃焊料贴片。

环氧树脂贴片是将芯片贴片在引线框架或基座上最常用的方法。环氧树脂被滴在引线框架或基座的中心。芯片贴片工具将芯片背面放在环氧树脂上(见图73),接下来是加热循环以固化环氧树脂(例如 125 °C, 1小时)。大部分MOS产品直接使用环氧树脂。

共晶焊贴片:在减薄后的晶圆背面淀积一层金(Au),如图74所示。然后用合金方式将这金粘接到基座上,基座通常是引线框架(例如,42号合金,一种Ni-Fe合金)或是陶瓷基座(例如,90%到95%Al₂O₃)。典型地,基座有一个Au或银(Ag)的金属化表面。当加热到420 °C约6秒钟,它略高于Au-Si共晶温度,这种方法在芯片和引线框架之间形成共晶合金互连。共晶贴片提供了良好的热通路和机械强度。

玻璃焊料贴片:玻璃焊料由银和悬浮在有机媒介中的玻璃颗粒组成,将芯片没有金属化而直接粘贴在Al₂O₃陶瓷底座上以实现密封。密封是保护硅器件免受外部环境的影响,特别是潮气和沾污。用在玻璃焊料中的银和玻璃在固化过程中变软,并构成对陶瓷具有良好

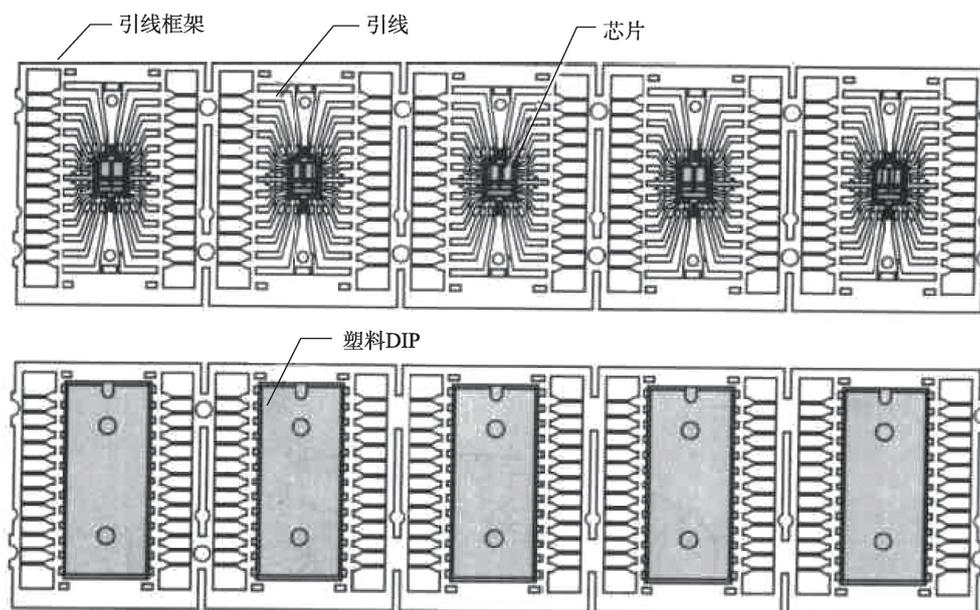


图72 典型的引线框架

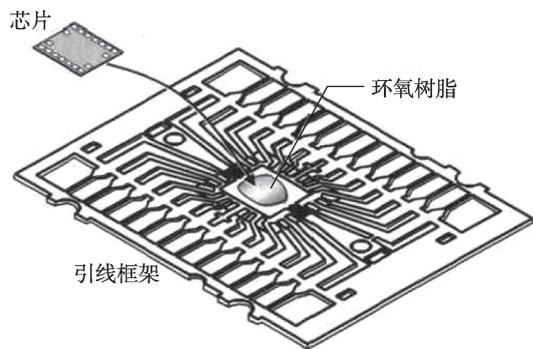


图73 环氧树脂贴片

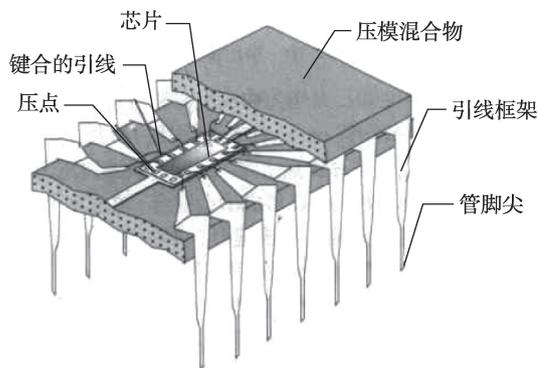


图75 从芯片压点到引线框架的引线键合

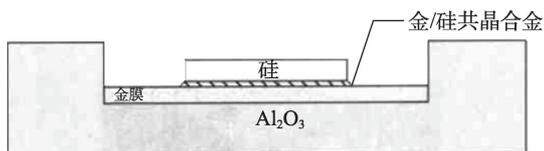


图74 Au-Si共晶焊贴片

导热的焊接。要固化含银的玻璃要求相对高的温度。

(4) 引线键合

引线键合是将芯片表面的铝压点和引线框架上或基座上的电极内端进行电连接最常用的方法,如图75所示。这种高速操作转动线轴并将细线从芯片的压点键合到引线框架上电极内端压点,每秒种能压多个压点。键合机将引线键合在每个芯片上压点或引线框架压点,并步进到下一位置。键合线是Au或是Al线,因为它在芯片压点和引线框架上内端压点都形成良好键合,通常引线直径是在25到75 μm之间。

三种基本引线键合的叫法各取自在引线端点工艺中使用的能量类型。这三种引线键合方法是:①热压键合;②超声键合;③热超声球键合。

5.5.2 封装

早期金属壳封装很普遍,现在它们仍然用于分立器件和小规模集成电路。将芯片贴在镀金头的中心,并用引线键合到管脚上。在管脚周围形成玻璃密封,一个金属盖被焊到基座上以形成密封。一种晶体管的金属TO型封装如图76所示。

两种最广泛使用的传统集成电路封装材料是塑料封装和陶瓷封装。

(1) 塑料封装

使用环氧树脂聚合物将已完成引线键合的芯片和模块化工艺的引线框架完全包封。



图76 TO型金属封装

具有贴片和引线键合芯片的引线框架是以条带形式并在轨道上运动传送。这轨道和用于包封芯片及内引线框架不同设备有接口。塑料封装的管脚成型灵活,或作为插孔式管脚,或作为表面贴封装技术(SMT)管脚。插孔式管脚穿过电路板,而SMT管脚粘贴到板的表面。具有SMT管脚的组件可以对集成电路组件和电路板两方面高密度封装,即允许更多输入/输出管脚数。使用塑料封装的其他益处是材料成本低和重量轻。

塑料封装的交连后聚合物其性能稳定不变形、耐加工温度高达250℃。环氧树脂其他重要的参数是吸潮少,并且可加入填充剂以减小热膨胀系数(TCE),使它与引线框架和芯片的热膨胀系数相匹配。虽然环氧树脂模块被认为密封的并不足以保护芯片免受环境和沾污的影响,但在这方面已经得到了根本性改善。

一旦包封,从集成电路封装伸出的仅有为第二级装配到电路板上必需的管脚。模型封装经过去飞边

步骤,它是从封装附件去除多余的材料。典型的去飞边用类似喷沙的物理磨损工艺。再后来使用墨水或激光在塑料封面上打印制造和产品信息。

组件管脚成形是在铸模后进行。铸模的集成电路条带被放入管脚去边成型工具,在此管脚被加工成必要的形状:为表面贴装的鸥翼型和J型管脚以及为插孔式的直插形式。通过剪去为支撑所有管脚平直的连接条,如图77所示,将每块集成电路从引线框架条带上分离出来。管脚成型后,接下来施加一层薄管脚涂层(通常焊料或锡)以防止侵蚀。典型地管脚涂层是用电镀沉积。在某些情况下,管脚涂层在管脚成型前进行。

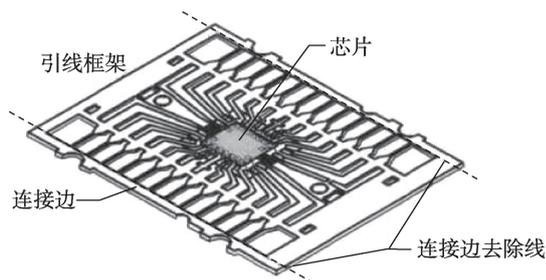


图77 从引线框架上去除连接边

(2) 陶瓷封装

陶瓷封装被用于集成电路封装,特别是应用于要求具有气密性好、高可靠性或者大功率的情况。陶瓷封装有两种主要方法,或是耐熔陶瓷,它是从芯片装配和封装分别加工的;或是具有较低的封装成本的陶瓷双列直插(CERDIP)技术,但仍然保持密封。

耐熔陶瓷基座是集成电路封装常用的,它是由氧化铝(Al_2O_3)粉用适当的玻璃粉及一种有机媒质混合构成浆料,这浆被铸成大约1密耳厚的薄片,干化,然后制作布线图案以制成一个多层陶瓷基座,如图78所示。用户连线电路被淀积在单层上,用金属化通孔互连不同的层。几个陶瓷片被精确地碾压在一起,然后在 $1600\text{ }^\circ\text{C}$ 烧结以构成一个单一的(即合为一体)熔结体,这被称为高温共烧结陶瓷(HTCC)。也有烧结温度在 850 到 $1050\text{ }^\circ\text{C}$ 的低温共烧结陶瓷(LTCC),它能被用于不能承受HTCC温度的电路制造材料。对于构成具有许多信号、地、电源、压点及密封层的复杂封装,陶瓷技术是优秀的。作为集成电路封装基座的耐熔陶瓷的主要挑战是:①高收缩性,这使得公差难于控

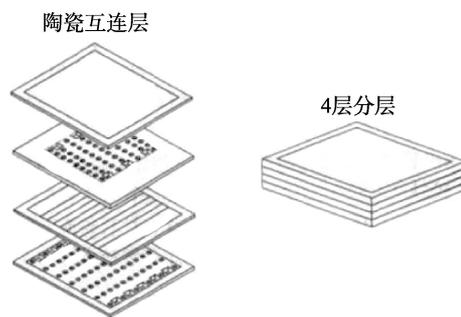


图78 分层耐熔陶瓷加工顺序

制;②高介电常数,这增加寄生电容,并能影响高频信号;③氧化铝的导电率,这成为信号延迟的问题。

陶瓷封装最常用的管脚形式是100密耳间距的铜管脚,它组成针栅阵列(PGA)管壳。这是为电路板装配的插孔式管壳。芯片能被粘贴和引线键合到陶瓷的底部或顶部,接下来是用一个盖做成真空密封。PGA被用于高性能集成电路,像高频和具有高达600个管脚的快速微处理器。PGA管壳经常需要一些散热片或小风扇以排出管壳内产生的热。

薄层陶瓷封装技术的一种低成本方式是将两个陶瓷件压在一起(芯片引线键合后)。引线框架被定位在它们之间,如图79所示。这种封装被称为陶瓷双列直插(CERDIP),使用低温玻璃材料将陶瓷层密封。

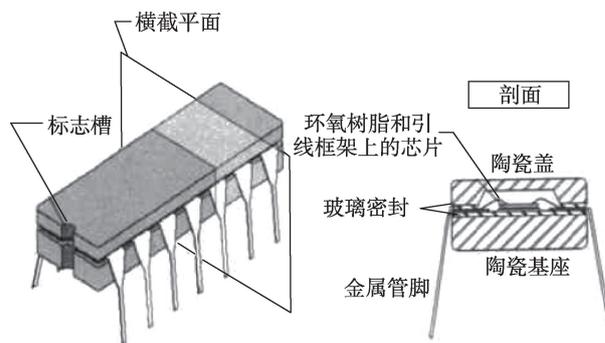


图79 CERDIP封装

6. 展望

很少有哪个行业像半导体集成电路这样,在初期就有高人为其指明发展方向。全球的科技精英们对新材料、新器件结构、新加工技术不断地探索、研发,持续推进集成电路的特征尺寸按比例缩小、集成度提高、性能增强。国际半导体技术蓝图(INTERNATION-

