

# 半导体家族 (三)

韩郑生

(中国科学院微电子研究所 100029)

## 5.3 晶圆制造

晶圆制造是整个集成电路制造过程最核心的部分，也是制造成本最高的部分。它包括清洗、氧化、光刻、刻蚀、薄膜淀积、掺杂、金属化、平坦化、检测等工艺模块。

### 5.3.1 清洗

洁净的晶圆是芯片生产全过程中的基本要求，但并不是在每个高温下的操作前都必须进行的。一般来说，全部工艺过程中高达 20% 的步骤为晶圆清洗。

半导体工艺的发展过程在很多方面可以说是清洗工艺随着对无污染晶圆需求不断增长而发展的过程。晶圆表面有 4 大常见类型的污染，每一种在晶圆上体现为不同的问题，并可用不同的工艺去除。这 4 种类型是：①颗粒；②有机残留物；③无机残留物；④需要去除的氧化层。

晶圆表面的颗粒大小可以从非常大 ( $50\mu\text{m}$ ) 变化到小于  $1\mu\text{m}$ 。大的颗粒可用传统的化学浸泡槽和相应的清水冲洗除去。较小的颗粒被几种很强的力量吸附在表面，所以很难除去。清洗工艺多为一系列的步骤，用来将大小不一的颗粒同时除去。最简单的颗粒去除工艺是用位于清洗台的手持氮气枪喷出的，经过过滤的高压氮气吹晶圆的表面。在存在小颗粒问题的制造区域，氮气枪上配置了离子化器，从而除去氮气流中的静电，而使晶圆表面呈中性。

高压水喷洒清洗是将一注小的水流施加 2000~4000psi 的压力，水流连续不断地喷洒掩模版或晶圆的表面，除去大小不一的颗粒。在水流中经常加入少量表面活性剂作为去静电剂。有机残留物是含碳的化合物，例如指纹中的油分。这些残留物可以在溶剂浸泡槽中被去除，例如丙酮，乙醇或三氯乙烯 (TCE)。

无机残留物是那些不含碳的物质。这样的例子有无机酸，如盐酸，氢氟酸。

一种常见的清洗溶液是热硫酸添加氧化剂。它也是一种通常的光刻胶去除剂。在  $90^{\circ}\text{C} \sim 125^{\circ}\text{C}$  的范围中，硫酸是一种非常有效的清洗剂。在这样的温度下，它可以去除晶圆表面大多数无机残留物和颗粒。

氢氟酸 (HF) 是去除氧化物的首选酸。在初始氧化之前，当晶片表面只有硅时，将其放入盛有最强的氢氟酸 (49%) 的池中清洗。氢氟酸将氧化物去除，却不刻蚀硅。

标准的清洗技术是浸泡在湿法清洗台或全自动机器中的化学槽中进行的。

每一步湿法清洗的后面都跟着一次去离子水的冲洗。清水冲洗具有从表面上去除化学清洗液和终止氧化物刻蚀反应的双重功效。冲洗可用几种不同的方法来实现。

清洗方法有：①溢流式或级联式清洗器；②快速泄放式；③超声波或兆频超声波辅助式；④喷洒式；⑤旋转 - 冲洗甩干机。图 46 是晶圆在槽式清洗机中。

清水冲洗后，必须将晶圆烘干。任何保留在晶圆表面的水，甚至是原子都可能对以后的操作产生潜在的影响。目前所应用的有三种烘干技术：①旋转淋洗甩干机；②异丙醇 (IPA) 蒸气蒸干法；③表面张力烘干法。

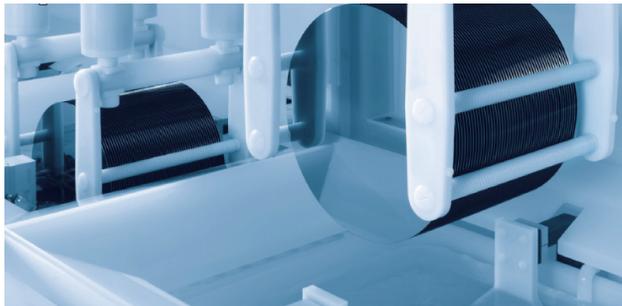


图 46 晶圆清洗机

### 5.3.2 氧化

#### (1) 氧化硅膜的性质

氧化工艺是在硅晶圆衬底上生长一层氧化硅膜( $\text{SiO}_2$ )。常见的玻璃就是 $\text{SiO}_2$ 。 $\text{SiO}_2$ 具有很好的绝缘性,其电阻率可高达 $10^{16}\Omega\cdot\text{cm}$ ,热稳定性,其熔点温度是 $1732^\circ\text{C}$ ,更主要的是它与Si具有最佳的热膨胀系数。

#### (2) 氧化硅膜的用途

①保护器件免受划伤和隔离沾污,②栅氧化层或存储单元中的介质材料,③作为掺杂工艺中的掩蔽层,④金属导电层间的介质层。

#### (3) 氧化方法

$\text{SiO}_2$ 生长方法分为自生长氧化和淀积生长两类。自生长氧化方法分为水汽氧化、湿氧化、干氧化三种。通常热生长 $\text{SiO}_2$ 的温度范围是 $750^\circ\text{C} \sim 1100^\circ\text{C}$ 。氧化过程通常是在石英炉管中,通过电炉丝加热到合适的氧化生长温度,通入氧化气体与在硅晶圆表面与硅反应而生产 $\text{SiO}_2$ 。

若氧化气体是纯 $\text{O}_2$ 的氧化过程被称为干氧化,其化学方程式如下:



热生长 $\text{SiO}_2$ 机理是,开始时,氧原子与硅原子结合,这一阶段是线性的,因为在每个单位时间里,氧的生长量是一定的。大约长了 $1000\text{\AA}$ 后,线性生长率达到极限。为了保持氧化层生长,氧原子与硅原子必须接触。可是,在硅表面生长的一层二氧化硅层阻挡了氧与硅原子的接触。为了氧的继续生长,一是让晶圆中的硅浸入到氧气中,或者让氧必须进入到晶圆表面。在二氧化硅的热生长中,氧气通过现存的氧化层进入到硅晶圆表面。因此二氧化硅从硅晶圆表面消

耗硅原子,氧化层长入硅表面。随着每一个新的生长层,扩散的氧必须移动更多的路程才能到达晶圆。其后果是,从时间角度来讲,氧生长率会变慢,这一阶段被称为抛物线阶段。

为了提高氧化速率,早期是将氧气通过水瓶,将水蒸汽带入反应炉管,水与硅反应生成 $\text{SiO}_2$ 和 $\text{H}_2$ ,产生的氢气和未反应的水汽从炉尾排出。后来是采用将一定比例的 $\text{H}_2$ 和 $\text{O}_2$ 通入带入反应炉管, $\text{H}_2$ 和 $\text{O}_2$ 在反应炉管的高温下直接生成水蒸汽,再与硅反应而生产 $\text{SiO}_2$ 。其优点是由高纯氧和高纯氢在炉管中直接生成的水蒸汽更洁净,生成的氧化硅膜性能更佳。这类通过水蒸汽与Si反应生成的 $\text{SiO}_2$ 的过程,被称为湿氧化。其反应式如下:



产生的 $\text{H}_2$ 分子沿Si-SiO<sub>2</sub>界面或者以扩散方式通过 $\text{SiO}_2$ 层。因为水比氧在 $\text{SiO}_2$ 中有更高的扩散系数和大得多的溶解度,所以水汽氧化的生长速率一般比较高。

#### (4) 氧化设备

热氧化设备可分为:常压热氧化炉和高压热氧化炉。常压热氧化设备又有常规热氧化和快速热氧化炉(RTP)。常规的热氧化炉又有卧式和立式两种,图47所示为晶圆进出氧化炉时的图像。

卧式反应炉从20世纪60年代早期开始应用在氧化、扩散、热处理以及各种淀积工艺中。它们最先被开发用在锗技术里的扩散工艺中。直到如今一直被简单地称为扩散反应炉(Diffusion Furnaces)。更准确的词叫做管式反应炉(Tube Furnace)。

快速热处理(RTP)是在很短的时间间隔将温度

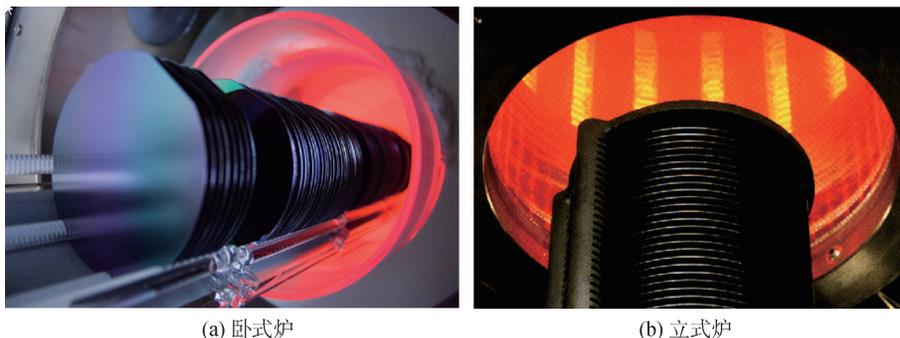


图47 氧化炉

升至 1000℃ 以上又降回室温的工艺过程。RTP 在半导体器件制造过程中反复使用，可以激活离子注入的杂质而又不会改变杂质的分布；或改变物料的状态以提升电导率；或毫秒退火和干法的快速氧化等。图 48 是美国应用材料公司 (Applied Material) 的 VANTAGE® RADIANCE® PLUS RTP 的工作腔部分，上面是蜂窝灯源阵，下面放有晶圆的反应腔。

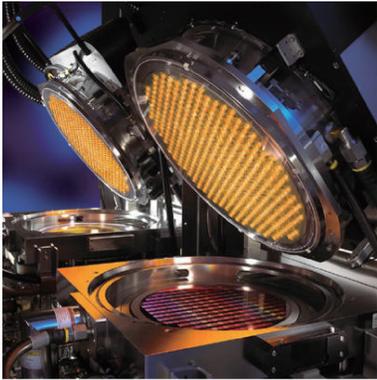


图 48 应用材料公司的 VANTAGE® RADIANCE® PLUS RTP

### 5.3.3 光刻

光刻是将掩模版上的图形转移到涂有光致抗蚀剂 (或称光刻胶) 的硅晶圆上，通过一系列生产步骤将硅晶圆表面薄膜的特定部分除去的一种图形转移技术。

光刻系统包括光刻机、光刻胶、涂胶 / 显影机、烘焙、检测仪等。

光刻机是整个半导体集成电路制造工艺中最精密、最关键、最昂贵的设备。随着集成电路技术的发展，出现过接触式曝光 (Contact Printing)、接近式曝光 (Proximity Printing)、投影式曝光 (Projection Printing) 几种，其中投影式又分为扫描投影式、步进重复投影曝光、扫描步进投影曝光。

#### (1) 接触式曝光

接触式曝光是指掩膜板直接与光刻胶层接触的曝光方式。曝光出来的图形与掩模版上的图形分辨率相当。接触式，根据施加力量的方式不同又分为：软接触、硬接触和真空接触。其光路系统如图 49(a) 所示。①软接触是把晶圆通过托盘吸附住，掩模版盖在晶圆上面；②硬接触是将晶圆通过一个气压往上顶，使之与掩模版接触；③真空接触是在掩模版和晶圆中间抽气，

使之更加好的贴合。接触的紧密程度依次是软 < 硬 < 真空，接触的越紧密，分辨率越高，当然接触的越紧密，掩模版和材料的损伤就越大。这种方式的缺点是光刻胶污染掩模版；掩模版的磨损，容易损坏，寿命很低，并且容易累积缺陷。

#### (2) 接近式曝光

接近式曝光是指掩模版与光刻胶基层保留一个微小的缝隙的曝光方式，缝隙大约为 0 ~ 200μm。可以有效避免与光刻胶直接接触而引起的掩模版损伤，使掩模版和光刻胶基底能耐久使用；掩模版寿命长 (可提高 10 倍以上)，图形缺陷少。其光路系统如图 49(b) 所示。

#### (3) 投影式曝光

投影式曝光是指使用光学系统将掩模版图像转换聚焦成像在晶圆上的光刻胶的曝光方式。一般掩模版的尺寸会以需要转移图形的 4 或 5 倍制作。其优点是①提高了分辨率；②掩模版的制作更加容易；③掩模版上的缺陷影响减小。其光路系统如图 49(c) 所示。

投影式曝光分类：①扫描投影曝光 (Scanning Project Printing)。在 20 世纪 70 年代末 ~ 80 年代初，适用于特征尺寸 > 1μm 工艺；掩模版 1 : 1，全尺寸；②步进重复投影曝光 (Stepping-repeating Project Printing) 或简称 Stepper，其光路如图 50 所示。20 世纪 80 年代末 ~ 90 年代，适用于特征尺寸 0.35μm (I line) ~ 0.25μm (DUV)。掩膜板缩小比例 (4 : 1)，曝光区域 (Exposure Field) 22×22mm (一次曝光所能覆盖的区域)。增加了棱镜系统的制作难度；③扫描步进投影曝光 (Scanning-Stepping Project Printing)。20 世纪 90 年代末至今，适用于特征尺寸 ≤ 0.18μm 工艺。

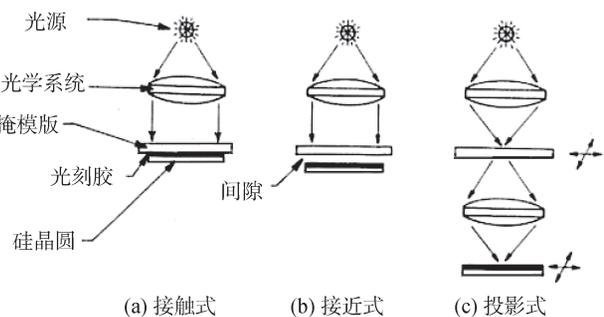


图 49 光刻机光路系统

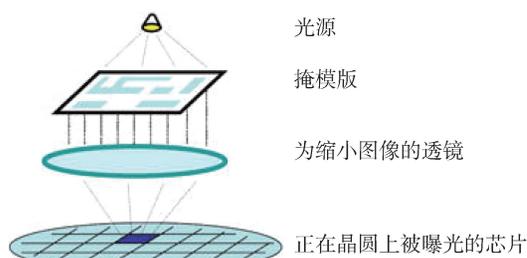


图 50 步进式光刻机光路系统

采用 6 英寸的掩模板按照 4 : 1 的比例曝光，曝光区域 (Exposure Field) 26×33mm。其优点是①增大了每次曝光的视场；②提供硅片表面不平整的补偿；③提高整个晶圆的尺寸均匀性。但是，同时因为需要反向运动，增加了机械系统的精度要求。

根据瑞利准则 (Rayleigh Criterion)，光学系统的分辨率  $W$  由如下公式所决定：

$$W \approx k \frac{\lambda}{NA} \quad (17)$$

其中  $k$  是一个与光刻胶的灵敏度常数， $\lambda$  是波长， $NA$  是光学镜头的数值孔径。所以曝光光源的波长是光刻工艺的关键参数，其他条件相同时，波长越短，可曝光的特征尺寸越小。表 3 列出光刻机光源名称、波长及对应的材料。

表 3 光源波长及对应的材料

名称	G	I	DUV		EUV	X 射线	电子束	离子束	
波长	436nm	356nm	248nm	193nm	157nm	13.5nm	5Å	0.62 Å	0.12 Å
材料			KrF	ArF	F <sub>2</sub>				

按照瑞利准则来判断光学光刻机早就到了其物理分辨率的极限，应该波长更短的 X 射线、电子束、离子束登场了。可是直到今天工业量产的 14nm 技术代，光学光刻仍然占据着 CMOS 集成电路制造的舞台中央。为什么？①有需求；②大量的研发经费投入；③众多杰出的工程技术人员的聪明才智。浸没式光刻技术使 193nm 光源的光刻机的寿命得以延续，而使在主流集成电路制造技术领域跳过了使用 157nm 光源的光刻机，直奔 13.5nm 的 EUV 的光刻机。浸没式光刻可以使 193nm 光源的技术延伸至今 14nm 技术代。其光路示意图如图 51 所示。

光刻机是半导体制造过程中难度最大、精度最高、

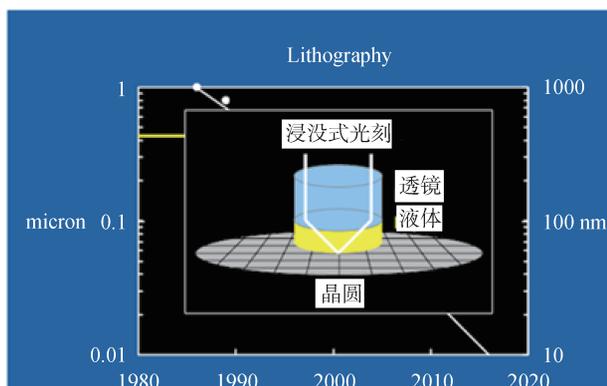


图 51 浸没式光刻机光路示意图

复杂度最高和价格最昂贵的设备。ASML 目前已经商用的最先进机型 Twinscan NXT 1950i 属于沉浸式光刻机，其外形如图 52 所示。

#### (4) 光致抗蚀剂

光致抗蚀剂 (Photoresist)，简称光刻胶或抗蚀剂，指光照后能改变抗蚀能力的高分子化合物。光刻胶分为两大类。

①正性光致抗蚀剂：受光照部分发生降解反应而能为显影液所溶解。留下的非曝光部分的图形与掩模版一致，如图 53 所示。正性抗蚀剂具有分辨率高、对驻波效应不敏感、曝光容限大、针孔密度低和无毒性等优点，适合于高集成度器件的生产。

②负性光致抗蚀剂：受光照部分产生交链反应而成为不溶物，非曝光部分被显影液溶解，获得的图形与掩模版图形互补，如图 54 所示。负性抗蚀剂的附着力强、灵敏度高、显影条件要求不严，适于低集成度的器件的生产。

半导体器件和集成电路对光刻曝光技术提出了越来越高的要求，在单位面积上要求完善传递图像的信息量已接近常规光学的极限。



图 52 ASML 沉浸式光刻机

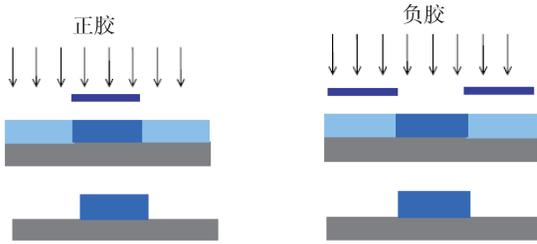


图 53 正性光刻胶

图 54 负性光刻胶

基本步骤：①气相成底模；②旋转式涂覆光刻胶，如图 55 所示；③软烘；④对准和曝光；⑤曝光后烘焙；⑥显影；⑦坚膜烘焙；⑧显影检查。

### 5.3.4 刻蚀工艺

刻蚀工艺是将光刻得到的胶膜图形转移到硅晶圆表面的薄膜上，即利用光刻胶膜的覆盖和保护作用，以化学反应或物理作用的方式去除没有胶保护的薄膜，完成图形转移。

刻蚀分为湿法刻蚀和干法刻蚀两种。湿法腐蚀是用化学溶液腐蚀无胶保护的膜，生成溶于水的副产物。干法腐蚀是用等离子体等方法选择腐蚀。

刻蚀工艺的主要参数是：图形转移时的保真度、选择比、均匀性、刻蚀的清洁、刻蚀速率是单位时间刻蚀的厚度。

刻蚀速率均匀性：用刻蚀速率的百分比来度量，可以指一个晶圆片之内或晶圆片与晶圆片之间的均匀性。

选择比是指不同材料刻蚀速率的比率。

$$S = \frac{E_f}{E_r} \quad (18)$$

其中， $E_f$  是被刻蚀材料的刻蚀速率， $E_r$  是掩蔽层材料的刻蚀速率。

高选择比意味着只刻蚀想要刻去的那一层材料。一个高选择比的工艺可以不刻蚀或刻蚀很少下面一层

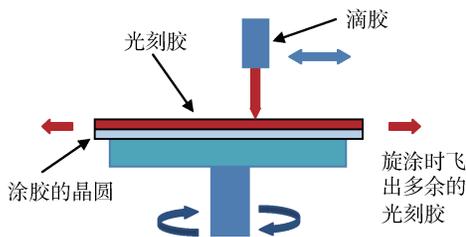


图 55 旋转式涂覆光刻胶

材料（刻蚀到恰当的深度的时候停止）并且保护的光刻胶也未被刻蚀。图形几何尺寸的缩小要求减薄光刻胶厚度，关键尺寸越小，选择比要求越高。

#### (1) 各项同性与各项异性

各向同性是指在所有方向均以相同的速率进行刻蚀，如图 56 所示。

各向异性是指仅在某一方向进行刻蚀，如 57 所示。各向异性特性可以用各向异性度表示

$$A = 1 - \frac{R_L}{R_V} \quad (19)$$

其中， $R_L$  和  $R_V$  分别代表横向和纵向刻蚀速率。

刻蚀偏差是指刻蚀以后线宽或关键尺寸间距的变化，通常是由于横向钻蚀引起的。钻蚀是指光刻胶掩膜版之下的过量横向刻蚀。过刻是指过量纵向刻蚀。

湿法刻蚀是一个纯粹的化学反应过程，它是利用化学试剂，与被刻蚀材料发生化学反应生成可溶性物质或挥发性物质。其优点是选择性高、重复性好、生产效率高、设备简单、成本低。缺点是缺乏各项异性、工艺控制能力差、过度的颗粒污染。

现在湿法刻蚀一般只用于非关键尺寸的任务中，而在关键尺寸任务中普遍采用干法工艺。

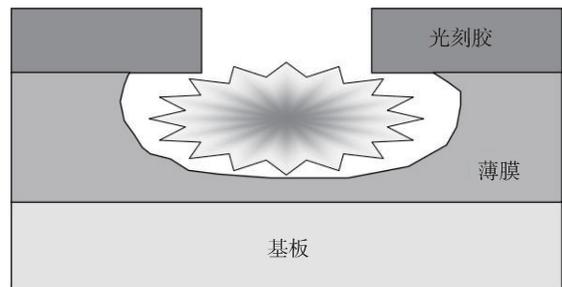


图 56 各向同性刻蚀示意图

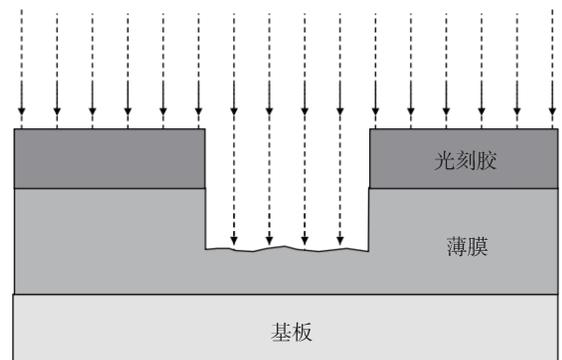
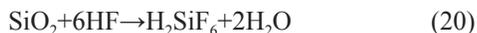


图 57 各向同性刻蚀示意图

湿法刻蚀由三步组成：①刻蚀剂运动到硅晶圆片表面；②与暴露的膜发生化学反应；③从硅表面移去反应生成物。

最常见的湿法腐蚀工艺之一是在稀释的 HF 溶剂中进行的 SiO<sub>2</sub> 湿法腐蚀法。



氮化硅 (Si<sub>3</sub>N<sub>4</sub>) 是一种不活泼的致密材料，它在半导体制程上的作用主要是作为场氧化层 (Field Oxide) 在进行氧化成长时的遮盖层，以及半导体器件完成主要流程后的保护层。

通常采用浓度 85% 的磷酸 (H<sub>3</sub>PO<sub>4</sub>) 在 160~170℃ 之间的溶液进行刻蚀，发生的反应如下：



高温磷酸容易造成光刻胶的剥落，必须使用二氧化硅作为掩蔽层。

干法刻蚀与湿法刻蚀相比具有以下优点：刻蚀剖面是各向异性，具有非常好的侧壁控制；良好的 CD 控制；最小的光刻胶脱落或粘附问题；良好的片内、片间、批次间的刻蚀均匀性；较低的化学制品使用和处理费用。

干法刻蚀的缺点是对下层材料的选择比不高、等离子体带来的器件损伤以及设备昂贵。

### (2) 溅射与离子铣刻蚀

溅射 (Sputter) 与离子铣 (Ion Milling) 刻蚀是物理过程。等离子体产生的带能粒子在强电场下朝硅晶圆表面加速，这些离子通过溅射刻蚀作用除去未被保护的圆表面材料。一般是用惰性气体，如氩 (Ar)。这种机械刻蚀的好处在于它有很强的方向性，从而可以获得高的各向异性刻蚀剖面，以获得很好的线宽控制。这种溅射刻蚀速率高，然而选择比差。另一个问题是被溅射作用去除的表面元素是非挥发性的，可能会重新淀积到硅片表面，带来颗粒和化学污染。其优点是定向性和普适性。缺点是低刻蚀比和低生产能力。

### (3) 等离子体刻蚀

等离子体刻蚀 (Plasma Etching) 是个化学过程。等离子体产生的反应元素 (自由基和反应原子) 与硅片表面物质发生反应。为了获得高的选择比，进入腔体的气体 (一般含氯或氟) 都经过了慎重选择。等离

子体化学刻蚀由于它是各向同性的，因而线宽控制差。反应产生的挥发性物质可以被真空泵抽走。

### (4) 反应离子刻蚀

反应离子刻蚀 (RIE) 是物理 + 化学的过程，如图 58 所示。即将物理方法和化学方法结合，产生的方法称为反应离子刻蚀，通过活性离子对衬底的物理轰击和化学反应双重作用刻蚀，同时兼具各向异性和选择性好的优点。目前，RIE 已经成为 VLSI 工艺中最广泛应用的主流刻蚀技术。

二氧化硅的干法刻蚀：通常采用含氟碳化合物的等离子体进行 SiO<sub>2</sub> 的干法刻蚀。所使用气体从早期的四氟化碳 (CF<sub>4</sub>) 到现在的 CHF<sub>3</sub>，或是 C<sub>2</sub>F<sub>6</sub> 和 C<sub>3</sub>F<sub>8</sub>，都可以用来提供碳原子及氟原子的反应气体。以 CF<sub>4</sub> 为例，刻蚀过程可用下列反应表示：



氮化硅的干法刻蚀：因为 Si-N 键的键结强度介于 Si-O 键与 Si-Si 键之间，无法同时既对 Si 又对 SiO<sub>2</sub> 的选择性刻蚀。为了能够在二氧化硅上选择性刻蚀氮化硅，可以采用类似刻蚀硅的等离子体工艺，也就是说等离子体中必须富含氟原子。一个典型的离子是采用 CF<sub>4</sub>-O<sub>2</sub> 等离子体。要在硅上选择性刻蚀氮化硅，可以在一个典型的二氧化硅刻蚀工艺中进行，例如可以在 CF<sub>4</sub>-H<sub>2</sub> 的等离子体中进行。

多晶硅的干法刻蚀：在 MOS 器件的应用中，栅极的宽度需要严格控制，因为它代表了 MOS 器件的通道长度，与器件特性息息相关。因此必须严格地将掩膜图案转移到多晶硅上。①刻蚀后的轮廓非常重要，侧壁须是垂直的。如因栅极多晶硅刻蚀后侧壁有倾斜时，将会遮蔽源漏的离子分布，造成杂质分布不均，沟道长度也会随倾斜程度而改变；② Si 对 SiO<sub>2</sub> 的选

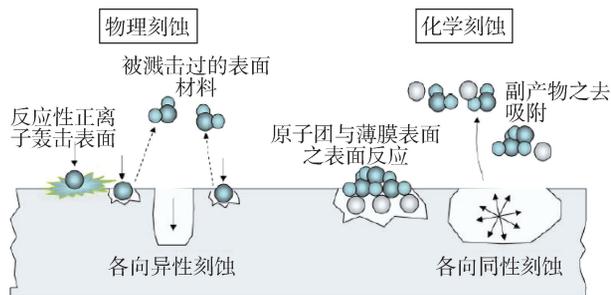


图 58 RIE 示意图

择比要高，即尽可能多地刻蚀 Si 的同时尽可能少地刻蚀 SiO<sub>2</sub>。一是为了除去残留必须有足够的过度刻蚀才能避免短路发生；二是多晶硅覆盖在薄栅氧层上，若氧化层被穿透，其下的源 / 漏间的 Si 将被快速刻蚀。

(5) 其他高密度等离子体刻蚀设备

由于 ULSI 的线宽持续缩小，逼近传统的 RIE 系统极限，除了 ECR 系统外，其他形式的高密度等离子体源 (HDP)，如电感耦合等离子体源 (ICP)、螺旋波耦合等离子体源 (HWP) 等也已开始发展。这些设备均拥有高等离子体密度与低工艺压强的优点。

HDP 等离子体源对衬底的损伤较小，因为衬底有独立的偏压源与侧电极电势，并且拥有较高的各向异性。

### 5.3.5 薄膜工艺

薄膜工艺技术的族谱如图 59 所示。

(1) 热蒸发法

在真空条件下，加热蒸发源，使原子或分子从蒸发源表面逸出，形成蒸气流并入射到衬底表面，凝结形成固态薄膜。其优点是较高的沉积速率，相对高的真空度，较高的薄膜质量等。缺点是台阶覆盖能力差；沉积多元合金薄膜时，组分难以控制。

常用蒸发技术有：①电阻加热；②电感加热；③电子束蒸发；④脉冲激光源蒸发；⑤多组分薄膜蒸发。

电阻加热是将高熔点材料 (W、Mo、Ta、Nb) 制

成的加热丝或者舟通上直流电，利用欧姆热加热并蒸发材料。

灯丝的蒸发和出气会造成污染。蒸发难熔金属，常常没有合适的电阻加热元件。

电感加热是通过高频电磁场感应对装有蒸发材料的坩埚进行加热，直至蒸发材料气化蒸发。蒸发源由水冷高频线圈和石墨或陶瓷坩埚组成。

蒸发速率大，可采用较大坩埚，增加蒸发表面；蒸发源的温度均匀、稳定，不易产生飞溅现象；温度控制精度高，操作比较简单；大功率高频电源，价格昂贵，且需要进行屏蔽，防止外界的电磁干扰。电感加热可以用来蒸发难熔材料，但是坩埚本身材料的玷污仍是一个严重的问题。

电子束蒸发是用高能聚焦的电子束熔解并蒸发材料。

材料置于冷却的坩埚内，因为只有小块区域被电子束轰击，坩埚内部形成一个虚的“坩埚”，所以不会与坩埚材料交叉污染。

脉冲激光源蒸发是用高能聚焦激光束轰击靶材，可蒸发高熔点材料。蒸发只发生在光斑周围的局部区域。蒸发材料受热气化，直接从固体转化为等离子体。能轰击出来大尺寸的颗粒。光束渗透深度小约 100Å，蒸发只发生在靶材表面。

多组分薄膜蒸发依据不同情况可分为以下三种办法进行 (单源蒸发、多源同时蒸发、多源按次序蒸发)。

(2) 溅射概念与机理

在真空腔中有一个平行板等离子体反应器，非常类似于简单的反应离子刻蚀系统。

将靶材放置在具有最大离子电流的电极上，高能离子将所要淀积的材料从靶材中轰击出来。靶与晶圆片相距十分近 (小于 10cm)，出射原子大部分能被晶圆所收集。

与蒸发法相比，在溅射过程中入射离子与靶材之间有很大能量的传递。因此，溅射出的原子从溅射过程中获得很大的动能。

由于能量的增加，可以提高溅射原子在淀积表面上的迁移能力、改善了台阶覆盖和薄膜与衬底之间的附着力。

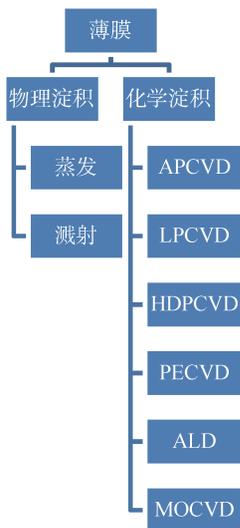


图 59 薄膜制造法分类

### (3) 等离子体产生原理

电极间施加高电压, 电极间隙内为低压气体, 可激发产生等离子体, 所需击穿电压由帕申 (Paschen) 定律给出

$$U = BPd / \ln[APd / \ln(1 + 1/\gamma)] \quad (23)$$

$P$  为腔内压力,  $d$  为电极间距,  $A$  和  $B$  为常数,  $\gamma$  为电离系数。

一旦等离子体形成, 等离子体内离子将被加速向带负电的阴极运动, 轰击表面产生二次电子, 这些电子被加速, 从阴极向阳极运动, 与中性粒子碰撞。

若碰撞传递能量小于气体原子的离化能, 原子将被激发至高能态, 之后通过发射光子跃迁回基态, 产生辉光现象。

若传递能量足够高, 原子将被离化, 产生的离子加速移动向阴极, 离子束对阴极的轰击产生溅射工艺。

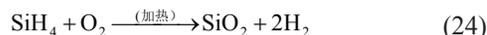
### (4) 化学气相淀积

化学气相淀积 (CVD) 是通过气体混合的化学反应在晶圆表面淀积一层固体膜的工艺。晶圆表面及其邻近的区域被加热以向反应系统提供附加的能量, 其结构如图 60 所示。化学气相淀积的基本方面包括: ①产生化学变化, 这可以通过化学反应或是热分解; ②膜中所有的材料物质都源于外部的源; ③化学气相淀积工艺中的反应物必须以气相形式参加反应。当化合物在反应腔中混合并进行反应时, 就会发生化学气相淀积过程。原子或分子会淀积在晶圆表面形成膜。

化学气相淀积过程有五种基本的化学反应: ①高温分解: 通常在无氧的条件下, 通过加热化合物会分

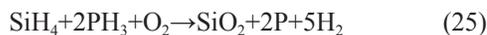
解 (化学键断裂); ②光分解: 使用辐射使化合物的化学键断裂分解; ③还原反应: 反应物分子和氢发生的反应; ④氧化反应: 反应物原子或分子和氧发生的反应; ⑤还原氧化反应: 反应③和④的组合, 反应后形成两种新的化合物。

例如, 用硅烷和氧气通过氧化反应淀积  $\text{SiO}_2$  膜。反应的生成物  $\text{SiO}_2$  淀积在硅片表面, 副产品是氢。



### (5) CVD 过程中掺杂

在 CVD 淀积过程中, 在  $\text{SiO}_2$  中掺入杂质对晶圆加工来说很重要。例如, 在淀积  $\text{SiO}_2$  过程中, 反应气体中加入磷烷后, 会形成磷硅玻璃 (PSG)。其化学反应方程如下:



在 PSG 中, 磷以  $\text{P}_2\text{O}_5$  的形式存在, PSG 由  $\text{P}_2\text{O}_5$  和  $\text{SiO}_2$  的混合物共同组成; 对于要永久粘附在硅片表面的磷硅玻璃来说,  $\text{P}_2\text{O}_5$  的含量 (重量比) 不超过 4%, 这是因为 PSG 有吸潮作用。

应用高密度等离子体 CVD (HDPCVD), 可以在  $600\sim 650^\circ\text{C}$  的温度下淀积 PSG, 由于它的淀积温度, 相对平坦的表面, 好的间隙填充能力, 近来也常采用 PSG 作为第一层层间介质 (ILD-1)。在  $\text{SiO}_2$  中引入  $\text{P}_2\text{O}_5$  可以减小膜应力, 进而改进膜的完整性。掺杂会增加玻璃的抗吸水性。PSG 层还可以有效地固定离子杂质。离子会吸附到磷原子上, 因而不能扩散通过 PSG 层到达晶圆表面。

硼硅玻璃 (BSG): 用硼烷 ( $\text{B}_2\text{H}_6$ ) 替代磷烷 ( $\text{PH}_3$ ), 就可得到硼硅玻璃。BSG 需要高温 (例如,  $1000^\circ\text{C}$ ) 回流过程来平坦化晶圆表面的台阶并使膜更加致密。然而, 对于晶圆的热预算来说, 高温回流不是所希望的。BSG 也不能很好的阻挡杂质离子。

硼磷硅玻璃 (BPSG): 另一种在  $\text{SiO}_2$  中掺杂的办法是引入重量百分比为 2% 到 6% 的  $\text{B}_2\text{O}_3$  和  $\text{P}_2\text{O}_5$  来形成硼磷硅玻璃。为了在淀积后得到一个好的阶梯覆盖能力的致密的  $\text{SiO}_2$ ,  $\text{SiO}_2$  需要进行高温回流直到其变软可流动。BPSG 回流一般是  $800\sim 1000^\circ\text{C}$  1 小时。回流也可以改进 BPSG 地固定可动离子杂质的能力。通常, BPSG 用来淀积作为 ILD-1。

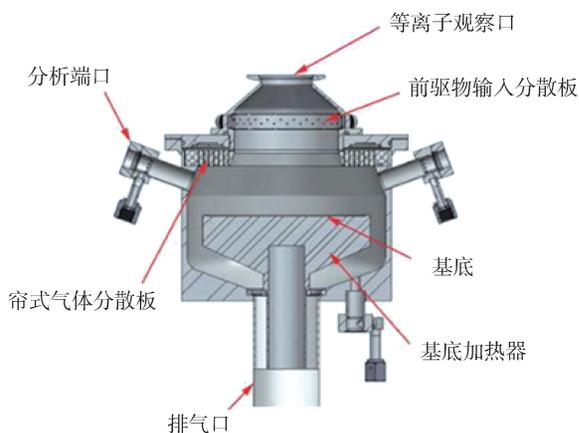


图 60 CVD 设备结构

### 5.3.6 掺杂工艺

半导体材料的独特性质之一是它们的导电性和导电类型(n型或p型)能够通过向材料中掺入专门的杂质而被产生和控制。晶圆的掺杂可以在硅锭拉制过程中进行、在外延生长过程中进行、也可以在其后通过热扩散法、离子注入法和等离子掺杂等方式实现。扩散法又可分为固体源扩散和液态源扩散法。在早期半导体集成电路制造阶段,掺杂工艺主要是采用扩散的方法。在近期离子注入法占据了掺杂工艺的统治地位。

扩散运动是自然界普遍存在的规律,即只要存在浓度梯度,就会发生扩散运动。扩散的发生需要两个必要的条件。①一种材料的浓度必须高于另外一种材料的浓度。②系统内部必须有足够的能量使高浓度的材料进入或通过另一种材料。

当掺杂的晶圆暴露接触面比晶圆内杂质原子浓度更高时,会发生相同的扩散现象。这被称为固态扩散。

当n型与p型原子的数量恰好完全相同处,就是pn结的界面。

掺杂工艺(热扩散或离子注入)的目的有三个:

- ①在晶圆表面产生具体掺杂原子的数量(浓度);
- ②在晶圆表面下的特定位置处形成np(或pn)结;
- ③在晶圆表面层形成特定的掺杂原子(浓度)分布。

在控制单晶锭和晶圆外延进行中的掺杂是全局性的,是要力争杂质在硅锭或晶圆中均匀一致的。而随后的器件制造过程中,掺杂是局域化和有选择性。这时再掺杂需要有图形化的掩蔽层。杂质在掩蔽膜中的扩散速度要小于在硅衬底材料。由于热扩散的温度较高,所以热扩散的掩蔽膜只能是硬的无机膜,如 $\text{SiO}_2$ 或 $\text{Si}_3\text{N}_4$ 。而离子注入方式的掺杂除了硬的无机膜,还可以使用有机的光刻胶膜做掩蔽。光刻胶膜做掩蔽的好处是处理方便,生产成本低。热扩散采用的设备与热氧化炉管相似,其差异是所通的反应气体不同。

扩散是一个化学过程。离子注入是一个物理过程,也就是说,注入动作不依赖于杂质与晶圆材料的化学反应。离子注入机理如同用枪将子弹射入固体中,它是用注入机将离子射入晶圆中。与扩散设备比较而言,离子注入机的结构就复杂多了。离子注入机由①离子源;②分析磁铁;③可调节的控制束流的狭缝;④加

速管;⑤扫描电极;⑥靶室。其过程是杂质原子被离化、分离、加速(获取动能),形成离子束流,扫过晶圆。杂质原子对晶圆进行物理轰击,进入表面并在表面以下停止,如图61所示。离子注入的主要参数有加速电压对应的能量(E),通常以keV为单位,其对应离子注入的平均投影射程,即杂质进入晶圆材料的深度;注入剂量(Dose),以离子数/cm<sup>2</sup>为单位,其对应着杂质进入晶圆材料的浓度。

热扩散法在晶圆中形成杂质分布只能是表面浓度高,随着进入晶圆体内杂质的浓度逐渐降低,如图62所示。而离子注入法可以得到各种杂质浓度分布的形貌,甚至可以得到体内的最高掺杂浓度,如图63所示,例如在CMOS集成电路中的倒掺杂阱。

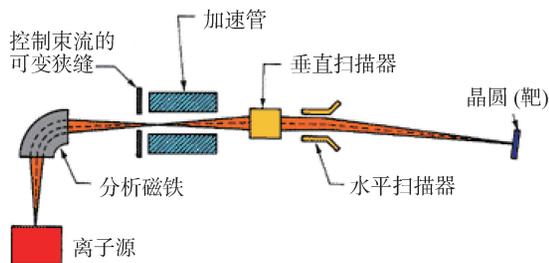


图 61 离子注入机的原理图

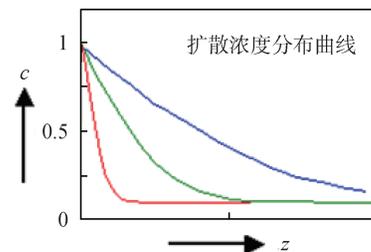


图 62 扩散法杂质分布曲线

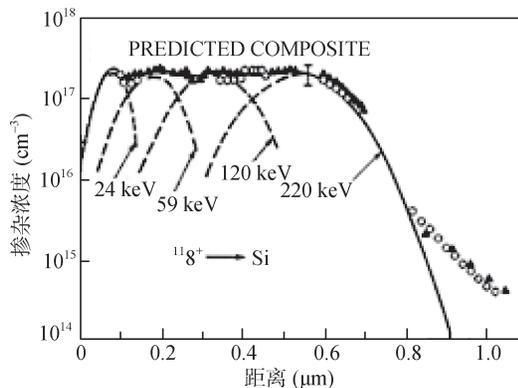


图 63 离子注入法杂质浓度分布曲线

### 5.3.7 金属化

在硅集成电路发展过程中，金属电极和金属互连最初是采用铝 (Al)，后来是采用铜 (Cu)。在金属化系统中，还有一些金属被使用，如钨、钛、钴、镍等。

铝的电阻率是  $2.7\mu\Omega\cdot\text{cm}$ ，与  $\text{SiO}_2$  有优异的粘附性、与 Si 有很低的接触电阻，易于进行图形化工艺 (光刻、刻蚀)。为了在 Al-Si 界面形成良好的“欧姆接触”，在金属淀积到晶圆表面后，要在  $450^\circ\text{C}$  左右进行 AlSi 工艺。合金 Al 和 Si 能够互熔，且在  $577^\circ\text{C}$  时存在一个共熔点，随着集成电路按照摩尔定律发展，器件尺寸按比例缩小，pn 结也越来越浅。AlSi 合金区域可能渗透过 pn 结的，造成 pn 结的短路。一种解决办法是在 Si 和 Al 之间增加一层阻挡层来隔离 Si 和 Al，以避免发生共熔现象；另一种解决办法是采用含 1%~2% 的 Si 的 Al 合金，在接触加热处理时，Al 合金倾向于与合金内部的 Si 作用，而不是和晶圆中的 Si 发生作用。

当 Al 导线通过很大电流时，Al 金属化系统还存在电迁徙的问题。在电场和电流产生热梯度时，Al 原子会沿梯度方向扩散，使 Al 导线变细、甚至断开。解决的办法是采用含 0.5%~4% 的 Cu 的 AlCu 合金。

防止 SiAl 合金互熔而采取的阻挡层法是将钛钨 (TiW) 和氮化钛 (TiN) 两层膜淀积在电极引出的接触孔内，然后再淀积 Al 或 Al 合金。

在金属互连工艺上的一个重大跨越是 Al 金属化过渡到 Cu 金属化。Cu 的电阻率是  $1.7\mu\Omega\cdot\text{cm}$ ，具有抗电迁徙能力，可以低温淀积。但是 Cu 与 Si 有较大的接触电阻，容易穿透  $\text{SiO}_2$  渗入到晶圆的器件有源区而使器件性能严重蜕化、甚至失效，Cu 与  $\text{SiO}_2$  粘附性也不佳。在解决这些挑战时，真可谓“山穷水复疑无路，柳暗花明又一村”。工程师的灵感来自于“大马士革 (Damascus)”的镶嵌工艺 (Damascene)。一个单大马士革工艺流程如图 64 所示，先用图形化工艺在  $\text{SiO}_2$  上，光刻、刻蚀出定义 Cu 互连线的槽，再淀积阻挡层金属 TaN/Ta，Cu 籽晶层，电镀 Cu，再用 CMP 工艺依次去掉  $\text{SiO}_2$  上的 Cu 和 TaN/Ta 层。

金属淀积的方法有化学电镀法和物理气相淀积法 (PVD)，依原理 PVD 又可分为蒸镀 (Evaporation) 与溅射 (Sputtering) 两种。

PVD 基本上都需要抽真空：前者在  $10^{-6} \sim 10^{-7}$  Torr 的环境中蒸着金属；后者则须在激发等离子体前，将气室内残余空气抽除，也是要抽到  $10^{-6} \sim 10^{-7}$  Torr 的程度。溅射工艺如图 65 所示。在真空反应室

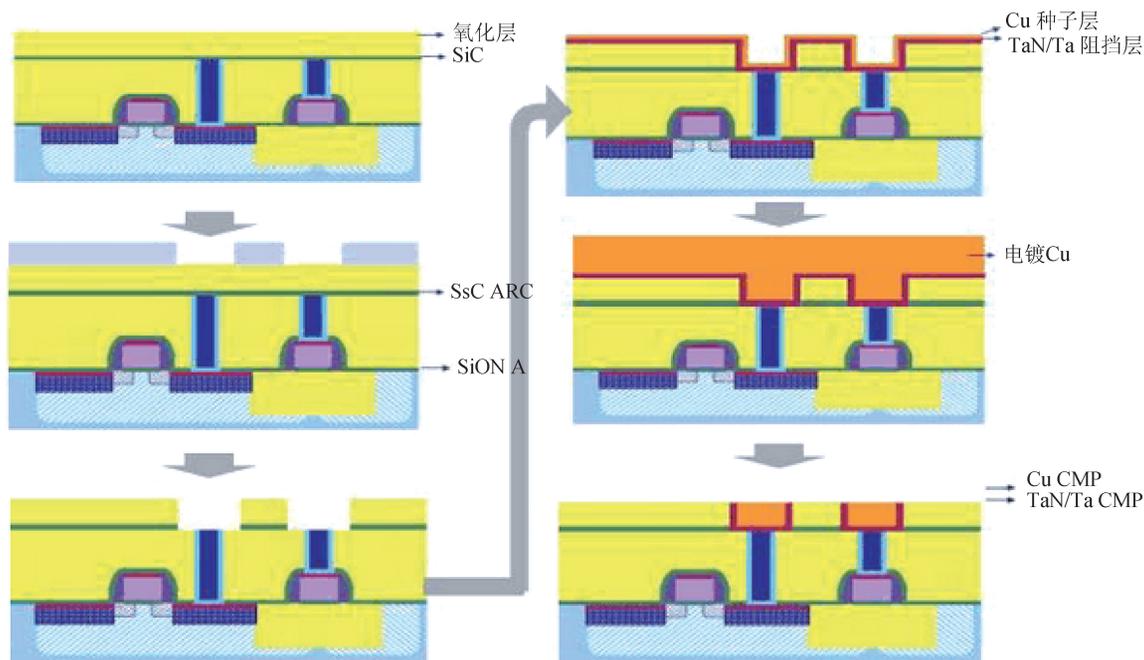


图 64 大马士革工艺

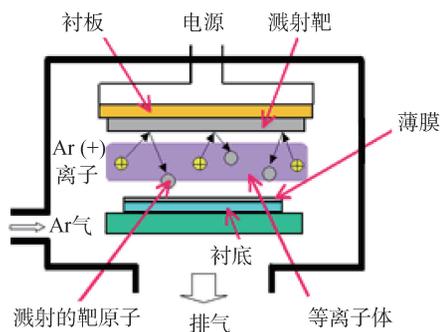


图 65 溅射工艺示意图

中，由镀膜所需的金属构成的固态厚板被称为靶材 (Target)，它是电接地的。首先将氩气充入室内，并且电离成正电荷。带正电荷的氩离子被接地的靶吸引，加速冲向靶。在加速过程中这些离子受到引力作用，获得动量，轰击靶材。这样在靶上就会出现动量转移现象。正如在桌球，受杆击的球把能量传递到其他球，使它们分散一样，氩离子轰击靶，引起其上的原子分散。被氩离子从靶上轰击出的原子和分子进入反应室。这就是溅射过程。被轰击出的原子或分子散布在反应室中，其中一部分渐渐地停落在晶圆上。溅射工艺的主要特征是淀积在晶圆上的靶材不发生化学或成分变化。

与蒸镀法比较，溅射法具有以下优势：①镀膜的成分与靶材的成分一致；②台阶覆盖性好；③溅射形成的薄膜对晶圆表面的粘附性好。

### 5.3.8 平坦化工艺

先进的集成电路需要多层金属布线，每层之间由层间介质 (ILD) 隔开。建立器件结构和多层内连线会很自然的在层之间形成台阶，使晶圆表面起伏。随着层数增加，表面起伏将更加显著。表面起伏的主要负面影响是在光刻时对线宽难以控制，由它引起的光刻胶厚度不均。这种不均是因为受到步进光刻机焦深的限制。也难以在刻蚀后台阶上的不均匀的光刻胶上制作图形。

平坦化是使晶圆拥有平坦的表面，填充低的部分，或去掉高的部分是两种使晶圆表面平坦化的方法。在实际的平坦化工艺中，可以去除晶圆表面不希望存留的杂质材料，从而提高器件的成品率。

#### (1) 传统的平坦化技术

传统的平坦化方法有：①反刻；②玻璃回流；③旋涂薄膜层等。

反刻：由表面图形形成的表面起伏可以用一层厚的介质或别的材料作为平坦化的牺牲层（如光刻胶或 SOG）来进行平坦化，这一层牺牲材料填充空洞和表面的低处。然后用干法刻蚀技术刻蚀这一层牺牲层，通过用比低处图形快的刻蚀速率刻蚀掉高处的图形，从而使表面平坦化。把表面相近的台阶变得平滑是一种局部平坦化。反刻不能实现全局的平坦化。

玻璃回流：硼磷硅玻璃 (BPSG) 和别的掺杂氧化硅早已被用作层间介质，是采用常压化学气相淀积 (APCVD) 法淀积的。玻璃回流是在更高温度的情况下，给掺杂氧化硅加热，使它发生流动。例如，BPSG 在 850℃，氮气环境的高温炉中退火 30 分钟发生流动，使 BPSG 在台阶覆盖处的流动角度大约 20 度。BPSG 的这种流动性能用来获得台阶覆盖处的平坦化或用来填充缝隙。如此就可以获得在图形周围进行部分平坦化的方法。BPSG 在图形覆盖处的回流能获得部分平坦化，但不足以满足深亚微米 IC 中的多层金属布线技术的要求。

旋涂膜层：旋涂膜层是在硅片表面上旋涂不同的液体材料来获得平坦化的一种技术，主要用作层间介质 (ILD)。旋涂利用离心力来填充图形低处，获得表面形貌的平滑效果。这种旋涂法的平坦化能力与许多因素有关，如溶液的化学组分，分子重量，以及粘度 (流动倾向)。旋涂的膜层材料是有机或无机的材料，包括光刻胶、SOG 和多种树脂。SOG 有不同的系列，如 80% 溶剂和 20% 氧化硅，或有机 SOG 系列 (如多晶硅氧化物)。旋涂后的烘烤蒸发掉溶剂，留下氧化硅填充低处的缝隙。为了更进一步填充表面的缝隙，用 CVD 再淀积一层氧化硅。

#### (2) 化学机械平坦化

20 世纪 90 年代后期，IBM 公司开发了称之为化学机械平坦化工艺 (CMP) 的全局平坦化方法。它成为 20 世纪 90 年代高密度半导体制造中平坦化的标准。

CMP 是一种表面全局平坦化技术，它通过晶圆和一个抛光头之间的相对运动来平坦化晶圆表面，在

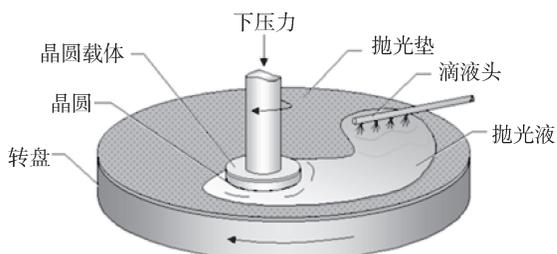


图 66 化学机械平坦化原理图

晶圆和抛光头之间有磨料，并同时施加压力，如图 66 所示。CMP 设备也常常称为抛光机，在一个抛光机中，晶圆放在一个晶圆固定器上，并面向转盘上的抛光垫。

晶圆和抛光垫之间的相对运动。大部分的抛光机是采用旋转运动或轨道运动。在一些设备中，转盘由动力推动进行运动；而在其他的抛光机中，载片头运动，而转盘只是在载片头的带动下运动。

CMP 通过比去除低处图形快的速度去除高处的图形来获得均匀的晶圆表面。由于它能精确和均匀地把硅片抛光之需要的厚度和平坦程度，它已成为一种最广泛采用的技术。CMP 的独特方面之一是它能用适当设计的磨料和抛光垫，抛光多层布线互连结构中的介质和金属层两种材料。

## 科苑快讯

### 用发光细菌探测地雷

全世界大约有 1 亿枚地雷还埋在地下，不过根据一项研究的结果，发光细菌可能会帮我们找到它们，因为这些细菌在接触到普通 TNT 炸药释放的少量气体时会发出荧光。此前，研究者培育的大肠杆菌（一种在环境和哺乳动物肠道内数量较多的细菌），会在接触 TNT 的副产品 DNT 后发出绿色荧光。在《自然·生物技术》（*Nature Biotechnology*）杂志上发表相关论文的这个研究组，报告他们在一片沙土地上埋好地雷，进行了小面积实验，地雷的引信均已拆除。科学家将海草中提取的聚合物做成空心珠子，每个珠子装入大约 10 万个探测 DNT 的细菌细胞，然后在夜晚将这些珠子喷洒在地雷所在地点。24 小时后，他们在 20 米

之外远距离探测和量化这些发光细菌，绘制地雷的分布图。研究者告诉《科学》（*Science*）期刊，他们已进行改进，探测 DNT 的时间缩短到只有 3 个小时，为了缓解基因工程微生物长久释放到环境中的疑虑，工程细菌的设计寿命也很有限。

该研究组谨慎地指出，这只是初步试验，该技术直到现在还只是局限于很小的区域，但是遥控无人机携带的激光设备将会快速扫描大面积区域。这些细菌也需要优化，以寻找埋在崎岖地面下的地雷，或 TNT 以外的炸药。

（高凌云编译自 2017 年 4 月 11 日 [www.sciencemag.org](http://www.sciencemag.org)）

