

硅锗量子阱埋沟场效应晶体管

胡际璜 王迅

(复旦大学应用表面物理国家重点实验室,上海 200433)

现代科学技术的发展、自动化程度的提高、计算机应用的普及,需要越来越多的高速大规模、超大规模集成电路。金属/氧化物/半导体场效应晶体管(MOSFET)由于其工艺简单、产额高、功耗低、抗干扰能力强、输入阻抗高、易于大规模集成,在大规模集成电路领域内很受人们青睐。尤其是互补型金属/氧化物/半导体场效应晶体管(CMOS)电路,可在单电流下工作,且工作电压范围广、噪声容限大、集成度高,几乎有取代双极型晶体管集成电路的趋势。然而,CMOS电路的速度因受 p 沟MOS中空穴迁移率的限制,不如双极型器件的快,使它的应用受到一定的限制。如能提高它的工作速度,则可使MOS电路具有更强的生命力。

提高MOS电路的工作速度,可从二方面着手:一是从器件结构出发,减小寄生电容;另一是从材料性能出发,增大载流子迁移率,尤其是增大空穴迁移率。应变的硅锗材料及 $\text{Si}/\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 量子阱埋沟 p 增强型MOS结构(如图1所示)可获得很高的空穴迁移率。因此,研究 $\text{Si}_{1-x}\text{Ge}_x$ MOSFET的理论及实验工作正在悄然兴起。 $\text{Si}_{1-x}\text{Ge}_x$ MOSFET除了具有 Si MOSFET所不具备的高空穴迁移率的优点外,它还具有 SiMO SFET所具备的一切优点。在制造工艺上除了增加一道分子束外延(MBE)或超高真空化学汽相淀积(UHV/CVD) $\text{Si}_{1-x}\text{Ge}_x$ 层外,其余工艺均与 Si 器件所用的工艺相容,因此,它可以方便地与 Si 器件集成。

性能的监测手段,可用以指导进一步的改进、提高。因此,它是具有重大意义的关键性的突破。当然,我们也应该看到,像FEL这样尖端的发展中的科研工作,它既有许多本身的科学问题有待研究,又有许多实际的应用有待开发,出光只是这些工作的开始,就BFEL而言,在加速器物理、FEL物理、红外谱区的应用等方面都有大量的开拓性的课题。例如:束流亮度的提高和能散度的减少都是加速器物理的前沿;束团电荷的时、空分布对转换效率、谐波分量的影响是FEL物理感兴趣的问题;考虑到在应用时希望有较大的谱区覆盖,BFEL向短波可利用康普顿散射产生准单能X-光,向长波可利用切仑可夫辐射产生亚毫米波,它的波带覆盖是可以很宽的。总之,瞻望以后的发展,BFEL在加速器物理和FEL应用两个方面,都是有广阔的天地和灿烂的前景的。

$\text{Si}_{1-x}\text{Ge}_x$ MOSFET之所以具有高空穴迁移率,是因为它独有的 $\text{Si}_{1-x}\text{Ge}_x$ 成分、应变特性及量子阱能带与埋沟结构,下面逐一进行阐述。

1. $\text{Si}_{1-x}\text{Ge}_x$ 材料中Ge的存在使材料具有较高的空穴迁移率。

半导体中载流子的迁移率由载流子的有效质量 m^* 和平均散射时间 τ 所确定,Ge中空穴的有效质量比Si中的小,迁移率比Si中的大。弛豫的 $\text{Si}_{1-x}\text{Ge}_x$ 合金的能带结构随Ge的成分 x 而变,当 $x < 0.85$ 时,其能带是类Si的,而当 $x > 0.85$ 时,是类Ge的,即使是类Si的能带,其载流子的有效质量和迁移率与体Si的也不同。合金的能带结构使空穴有较小的 m^* ,因而空穴迁移率增大。从平均散射时间来看,合金中的空穴除了受单晶中普遍存在的声学声子散射(又称晶格散射)、电离杂质散射及能谷内或能谷间的散射外,还受硅锗合金特有的硅原子与锗原子无规则排列造成的原子势场起伏而引起的合金散射。即使计入合金散射的影响,在相同掺杂程度下, $\text{Si}_{1-x}\text{Ge}_x$ 合金中的空穴迁移率仍比体Si中的大。

2. $\text{Si}_{1-x}\text{Ge}_x$ 层中的应力使空穴迁移率增大。

在 $\text{Si}_{1-x}\text{Ge}_x$ 合金层中往往存在双轴应力的作用,使得 $\text{Si}_{1-x}\text{Ge}_x$ 合金层的能带结构与无应变时的大不相同。双轴应力一般可分解成一个单轴应力加上一个流体静应力,后者的作用是使所有的价带都发生相同的能带位移,因而不影响空穴的有效质量。而单轴应力对价带结构的影响较大,一方面,它使得轻空穴带和重空穴带在布里渊区中心的简并取消,使自旋-轨道分裂带与轻、重空穴带的能量间隔增大,因而使空穴的带间散射减弱;另一方面,应力使价带的态密度减小相当于使空穴的有效质量减小,这两方面总的效应使应变的 $\text{Si}_{1-x}\text{Ge}_x$ 层中的空穴迁移率增大。

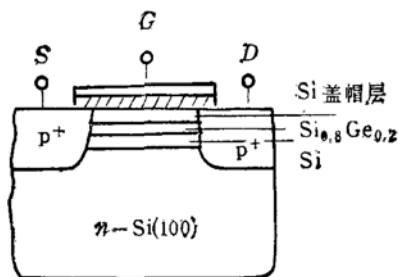


图1 $\text{Si}/\text{Si}_{1-x}\text{Ge}_x/\text{SiP}$ MOS结构

有效质量。而单轴应力对价带结构的影响较大,一方面,它使得轻空穴带和重空穴带在布里渊区中心的简并取消,使自旋-轨道分裂带与轻、重空穴带的能量间隔增大,因而使空穴的带间散射减弱;另一方面,应力使价带的态密度减小相当于使空穴的有效质量减小,这两方面总的效应使应变的 $\text{Si}_{1-x}\text{Ge}_x$ 层中的空穴迁移率增大。

3. $\text{Si}/\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 量子阱埋沟MOS结构减小载流子遭受的散射,保持高迁移率不降低。

$\text{Si}_{1-x}\text{Ge}_x$ MOSFET 可制成 $\text{Si}/\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 多层结构, 传导载流子空穴的 $\text{Si}_{1-x}\text{Ge}_x$ 层处在 Si 盖帽层下面, 其能带如图 2 所示. $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 异质结的能带偏移主要发生在价带, Si 的价带顶在 $\text{Si}_{1-x}\text{Ge}_x$ 的价带顶之下, 形成量子阱结构, Si 中空穴向 $\text{Si}_{1-x}\text{Ge}_x$ 中注入, 并在 $\text{Si}_{1-x}\text{Ge}_x$ 中传导, 故这种 MOS 器件又可称为量子阱型埋沟 MOSFET. 当对 Si 层进行 P 型掺杂, 对 $\text{Si}_{1-x}\text{Ge}_x$ 层不掺杂时, 在适当的栅压控制下, $\text{Si}_{1-x}\text{Ge}_x$ 层中将会有大量的导电载流子空穴, 而不含有提供空穴的受主杂质离子, 使导电载流子与其母体杂质离子分离开来, 影响载流子迁移率的电离杂质离子散射在 $\text{Si}_{1-x}\text{Ge}_x$ 沟道中大大减小, 沟道中的空穴迁移率不会因电离杂质散射而降低.

综合以上三点, $\text{Si}_{1-x}\text{Ge}_x$ MOSFET 可以获得很高的沟道空穴迁移率, 因而获得很快的工作速度. 此外, 载流子与其母体杂质离子分离还可以带来 Si 器件想要达到而又很难实现的两大优点:

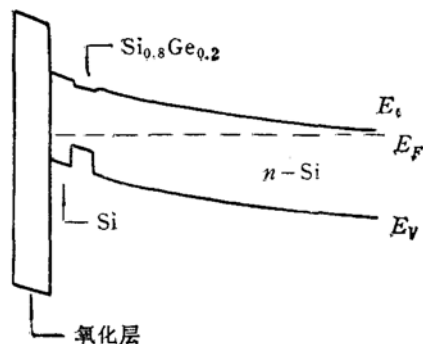


图 2 $\text{Si}/\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 量子阱能带结构

(1) 良好的低温特性

低温下晶格散射以及能谷内与能谷间的散射大大减弱, 电离杂质散射成为影响载流子迁移率的主要散射机理, 埋沟结构的载流子与母体杂质离子分离, 从根本上避免了低温下起主要作用电离杂质散射对迁移率的影响. 同时又避免了低温下载流子的“冻出”现象的发生. 所谓“冻出”现象, 是低温下载流子重新与母体杂质离子结合, 使载流子数大大减小. 载流子的“冻出”现象, 是影响低温下器件传输电流本领的重要因素. 量子阱埋沟结构使器件具备了在低温下工作的先决条件, 从而可以减小器件的漏电流、减小连线电阻、提高跨导、降低噪声、改善器件在亚阈值下的转移特性, 使器件具有更高的封装密度、更高的可靠性.

(2) 良好的小尺寸 MOS 特性

MOS 器件一个很突出的优点是尺寸小、集成度高. 然而小尺寸下, 热载流子向栅氧化层注入而使器件性能退化是亚微米 MOS 器件的致命伤. 在栅极垂直电场作用下, 动能大于 Si/SiO_2 界面势垒的热载流子一方面向栅注入, 形成栅极电流, 使 MOS 器件的 I-V 特性变差, 另一方面在栅介质中积累形成氧化层中固定电荷、氧化层中陷阱电荷, 并产生新的界面态, 使器件

的阈值电压漂移、跨导下降、稳定性变差. $\text{Si}/\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 埋沟结构中传输电流的载流子处在 $\text{Si}_{1-x}\text{Ge}_x$ 沟道中, 离开栅介质有一段距离. 在栅极垂直电场作用下这些传导载流子必须先越过栅介质与 $\text{Si}_{1-x}\text{Ge}_x$ 沟道之间的 Si 盖帽层, 经过较长的距离才能到达 Si/SiO_2 界面. 在向 Si/SiO_2 界面运动的过程中, 它们先在 Si 盖帽层中遭受到多次散射而损失能量, 使得具有越过 Si/SiO_2 界面势垒能量的热载流子数大大减少, 从而减少了热载流子向栅的注入, 使热载流子向栅注入而引起的器件性能退化得到克服.

$\text{Si}/\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 埋沟 MOSFET 的众多优点吸引越来越多的人对它进行研制. Si、 $\text{Si}_{1-x}\text{Ge}_x$ 分子束外延技术与超高真空化学汽相淀积技术的日趋成熟, 保证了这项研制工作的顺利进行. 如复旦大学应用表面物理国家重点实验室的分子束外延组已能生长高质量的应变无位错的 Si 与 $\text{Si}_{1-x}\text{Ge}_x$ 外延层, 外延层的结构完整性已达到国际先进水平. 用精密的自动控制仪器严格地控制外延层厚度、 $\text{Si}_{1-x}\text{Ge}_x$ 合金中 Ge 的组份 x 及外延层的掺杂浓度, 可以精确地控制硅锗层的应变程度及 $\text{Si}/\text{Si}_{1-x}\text{Ge}_x$ 异质结势垒高度, 从而控制 $\text{Si}/\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 空穴量子阱的深度及控制 MOSFET 的开启电压和电流特性. 目前, 世界上一些著名的大学与研究所, 如美国的加州大学洛杉矶分校、美国的普林斯顿大学、日本的东北大学等, 均开展了对 $\text{Si}_{1-x}\text{Ge}_x$ 沟道 MOSFET 的研究与制造工作, 并取得了鼓舞人心的结果. 如日本的 Goto 等人已获得 300K 时为 $250\text{cm}^2/\text{V}\cdot\text{s}$, 77K 时为 $1500\text{cm}^2/\text{V}\cdot\text{s}$ 的空穴迁移率, 虽然 300K 时还未达到 Si 中空穴迁移率的水平, 但比起在相同条件下制造的对照 Si-MOSFET 的空穴迁移率, 300K 与 77K 时分别增大 70% 与 150%. 理论计算得到 300K 时空穴迁移率可达 $1135\text{cm}^2/\text{V}\cdot\text{s}$, 比 $250\text{cm}^2/\text{V}\cdot\text{s}$ 的实验值高出 4.5 倍, 已接近 300K 时 Si 中电子的迁移率值. 这说明目前 $\text{Si}_{1-x}\text{Ge}_x$ MOSFET 尚处于研制阶段, 工艺还不成熟, 工艺条件还需进一步摸索. 正象 Si 器件一样, 从 Si 单晶的获得到 1948 年制成 Si 二极管、1962 年制成 SiMOS 晶体管, 1964 年才制成 SiMO₃ 集成电路, 中间经历了漫长的岁月. 人们通过不断地对不成熟的工艺过程与工艺条件进行改善与修正, 终于获得一整套完整的成熟的 Si 器件制造方法. 现在我们已经看到了 $\text{Si}_{1-x}\text{Ge}_x$ -MOSFET 的曙光, 相信, 通过象对 Si 器件一样的探索过程, 人们一定能获得性能优良的 $\text{Si}_{1-x}\text{Ge}_x$ MOS 器件.

简讯 四届国际表面结构会议在上海召开

据本刊特约通讯员胡际璋报道, 第四届国际表面结构会议, 于今年 8 月 16 日至 19 日在上海商城举行, 美国威斯康星州立大学唐叔贤教授与复旦大学谢希德教授担任会议主席.